

日本国特許庁
JAPAN PATENT OFFICE

7/2
Bel
5/18/02

JC986 U.S. PTO
10/004483
12/06/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年12月14日

出願番号
Application Number:

特願2000-379987

出願人
Applicant(s):

株式会社半導体エネルギー研究所

2001年10月19日

Commissioner
Japan Patent Office

及川耕造

【書類名】 特許願

【整理番号】 P005351

【提出日】 平成12年12月14日

【あて先】 特許庁長官 殿

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 木村 肇

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

複数の画素を設けた画素部と、信号線駆動回路と、出力切り替え回路とを有する半導体装置であって、

前記複数の画素は、センサ部と発光素子部をそれぞれ有し、

前記信号線駆動回路は、前記出力切り替え回路にタイミング信号を出力し、

前記出力切り替え回路は、前記センサ部と前記発光素子部にそれぞれ異なるタイミング信号を出力することを特徴とする半導体装置。

【請求項 2】

複数の画素を設けた画素部と、信号線駆動回路と、出力切り替え回路とを有する半導体装置であって、

前記複数の画素は、センサ部と液晶素子部をそれぞれ有し、

前記信号線駆動回路は、前記出力切り替え回路にタイミング信号を出力し、

前記出力切り替え回路は、前記センサ部と前記液晶素子部にそれぞれ異なるタイミング信号を出力することを特徴とする半導体装置。

【請求項 3】

複数の画素を設けた画素部と、信号線駆動回路と、出力切り替え回路とを有する半導体装置であって、

前記複数の画素は、センサ部と発光素子部をそれぞれ有し、

前記出力切り替え回路は、第一の論理回路と、第二の論理回路を有し、

前記信号線駆動回路は、前記第一の論理回路と前記第二の論理回路に、タイミング信号を出力し、

前記第一の論理回路と前記第二の論理回路は、一方は前記センサ部に、もう一方は前記発光素子部にそれぞれ接続され、
半導体装置。

【請求項 4】

複数の画素を設けた画素部と、信号線駆動回路と、出力切り替え回路とを有す

る半導体装置であって、

前記複数の画素は、センサ部と液晶素子部をそれぞれ有し、

前記出力切り替え回路は、第一の論理回路と第二の論理回路を有し、

前記信号線駆動回路は、前記第一の論理回路と前記第二の論理回路に、タイミング信号を出力し、

前記第一の論理回路と前記第二の論理回路は、一方は前記センサ部に、もう一方は前記液晶素子部に、それぞれ異なるタイミング信号を出力することを特徴とする半導体装置。

【請求項 5】

複数の画素を設けた画素部と、信号線駆動回路と、出力切り替え回路とを有する半導体装置であって、

前記複数の画素は、センサ部と発光素子部をそれぞれ有し、

前記出力切り替え回路は、第一の論理回路と第二の論理回路を有し、

前記第一の論理回路と前記第二の論理回路には、一方には第一の信号線が接続され、もう一方には第二の信号線が接続され、

前記信号線駆動回路は、前記第一の論理回路と前記第二の論理回路に、タイミング信号を出力し、

前記第一の論理回路と前記第二の論理回路は、一方は前記第一の信号線に、もう一方は前記第二の信号線に、それぞれ異なるタイミング信号を出力することを特徴とする半導体装置。

【請求項 6】

複数の画素を設けた画素部と、信号線駆動回路と、出力切り替え回路とを有する半導体装置であって、

前記複数の画素は、センサ部と液晶素子部をそれぞれ有し、

前記出力切り替え回路は、第一の論理回路と第二の論理回路を有し、

前記第一の論理回路と前記第二の論理回路には、一方には第一の信号線が接続され、もう一方には第二の信号線が接続され、

前記信号線駆動回路は、前記第一の論理回路と前記第二の論理回路に、タイミング信号を出力し、

前記第一の論理回路と前記第二の論理回路は、一方は前記第一の信号線に、もう一方は前記第二の信号線に、それぞれ異なるタイミング信号を出力することを特徴とする半導体装置。

【請求項 7】

複数の画素を設けた画素部と、信号線駆動回路と、出力切り替え回路とを有する半導体装置であって、

前記複数の画素は、センサ部と発光素子部をそれぞれ有し、

前記センサ部は第一の T F T を有し、前記発光素子部は第二の T F T を有し、

前記出力切り替え回路は、第一の論理回路と第二の論理回路を有し、

前記第一の論理回路と第二の論理回路には、一方には第一の T F T が接続され、もう一方には第二の T F T が接続され、

前記信号線駆動回路は、前記第一の論理回路と前記第二の論理回路に、タイミング信号を出力し、

前記第一の論理回路と前記第二の論理回路は、一方は前記第一の T F T に、もう一方は前記第二の T F T に、それぞれ異なるタイミング信号を出力することを特徴とする半導体装置。

【請求項 8】

複数の画素を設けた画素部と、信号線駆動回路と、出力切り替え回路とを有する半導体装置であって、

前記複数の画素は、センサ部と液晶素子部をそれぞれ有し、

前記センサ部は第一の T F T を有し、前記液晶素子部は第二の T F T を有し、

前記出力切り替え回路は、第一の論理回路と第二の論理回路を有し、

前記第一の論理回路と第二の論理回路には、一方には第一の T F T が接続され、もう一方には第二の T F T が接続され、

前記信号線駆動回路は、前記第一の論理回路と前記第二の論理回路に、タイミング信号を出力し、

前記第一の論理回路と前記第二の論理回路は、一方は前記第一の T F T に、もう一方は前記第二の T F T に、それぞれ異なるタイミング信号を出力することを特徴とする半導体装置。

【請求項 9】

複数の画素を設けた画素部と、信号線駆動回路と、出力切り替え回路とを有する半導体装置であって、

前記複数の画素は、センサ部と発光素子部をそれぞれ有し、

前記センサ部は第一の T F T を有し、前記発光素子部は第二の T F T を有し、

前記出力切り替え回路は、第一の論理回路と第二の論理回路を有し、

前記第一の論理回路と前記第二の論理回路には、一方には第一の信号線が接続され、もう一方には第二の信号線が接続され、

前記第一の信号線には前記第一の T F T が接続され、前記第二の信号線には前記第二の T F T が接続され、

前記信号線駆動回路は、前記第一の論理回路と前記第二の論理回路に、タイミング信号を出力し、

前記第一の論理回路と前記第二の論理回路は、一方は前記第一の信号線に、もう一方は前記第二の信号線に、それぞれ異なるタイミング信号を出力し、

前記第一の信号線と前記第二の信号線は、前記第一の T F T と前記第二の T F T にそれぞれ異なるタイミング信号を入力することを特徴とする半導体装置。

【請求項 10】

複数の画素を設けた画素部と、信号線駆動回路と、出力切り替え回路とを有する半導体装置であって、

前記複数の画素は、センサ部と液晶素子部をそれぞれ有し、

前記センサ部は第一の T F T を有し、前記液晶素子部は第二の T F T を有し、

前記出力切り替え回路は、第一の論理回路と第二の論理回路を有し、

前記第一の論理回路と前記第二の論理回路には、一方には第一の信号線が接続され、もう一方には第二の信号線が接続され、

前記第一の信号線には前記第一の T F T が接続され、前記第二の信号線には前記第二の T F T が接続され、

前記信号線駆動回路は、前記第一の論理回路と前記第二の論理回路に、タイミング信号を出力し、

前記第一の論理回路と前記第二の論理回路は、一方は前記第一の信号線に、も

う一方は前記第二の信号線に、それぞれ異なるタイミング信号を出力し、

前記第一の信号線と前記第二の信号線は、前記第一の T F T と前記第二の T F T にそれぞれ異なるタイミング信号を入力することを特徴とする半導体装置。

【請求項 1 1】

複数の画素を設けた画素部と、信号線駆動回路と、出力切り替え回路とを有する半導体装置であって、

前記複数の画素は、センサ部と発光素子部をそれぞれ有し、

前記センサ部は第一の T F T を有し、前記発光素子部は第二の T F T を有し、

前記出力切り替え回路は、第一の論理回路と第二の論理回路を有し、

前記第一の論理回路と前記第二の論理回路には、一方には第一の信号線が接続され、もう一方には第二の信号線が接続され、

前記第一の信号線には前記第一の T F T が接続され、前記第二の信号線には前記第二の T F T が接続され、

前記信号線駆動回路は、前記第一の論理回路と前記第二の論理回路に、タイミング信号を出力し、

前記発光素子部から発せられた光は、被写体において反射して前記センサ部に照射され、前記センサ部は、照射された光から画像信号を生成し、

前記第一の論理回路と前記第二の論理回路は、一方は前記第一の信号線に、もう一方は前記第二の信号線に、それぞれ異なるタイミング信号を出力し、

前記第一の信号線は前記第一の T F T にパルス信号を出力し、前記第二の信号線は前記第二の T F T にオン信号を出力することを特徴とする半導体装置。

【請求項 1 2】

複数の画素を設けた画素部と、信号線駆動回路と、出力切り替え回路とを有する半導体装置であって、

前記複数の画素は、センサ部と発光素子部をそれぞれ有し、

前記センサ部は第一の T F T を有し、前記発光素子部は第二の T F T を有し、

前記出力切り替え回路は、第一の論理回路と第二の論理回路を有し、

前記第一の論理回路と前記第二の論理回路には、一方には第一の信号線が接続され、もう一方には第二の信号線が接続され、

前記第一の信号線には前記第一の T F T が接続され、前記第二の信号線には前記第二の T F T が接続され、

前記信号線駆動回路は、前記第一の論理回路と前記第二の論理回路に、タイミング信号を出力し、

前記センサ部が生成した画像信号は、前記発光素子部に入力され、

前記第一の論理回路と前記第二の論理回路は、一方は前記第一の信号線に、もう一方は前記第二の信号線に、それぞれ異なるタイミング信号を出力し、

前記第一の信号線は前記第一の T F T にオフ信号を出力し、前記第二の信号線は前記第二の T F T にパルス信号を出力することを特徴とする半導体装置。

【請求項 1 3】

複数の画素を設けた画素部と、信号線駆動回路と、出力切り替え回路とを有する半導体装置であって、

前記半導体装置は、バックライトまたはフロントライトを有し、

前記複数の画素は、センサ部と液晶素子部をそれぞれ有し、

前記センサ部は第一の T F T を有し、前記発光素子部は第二の T F T を有し、

前記出力切り替え回路は、第一の論理回路と第二の論理回路を有し、

前記第一の論理回路と前記第二の論理回路には、一方には第一の信号線が接続され、もう一方には第二の信号線が接続され、

前記第一の信号線には前記第一の T F T が接続され、前記第二の信号線には前記第二の T F T が接続され、

前記信号線駆動回路は、前記第一の論理回路と前記第二の論理回路に、タイミング信号を出力し、

前記バックライトまたはフロントライトから発せられた光は、被写体において反射して前記センサ部に照射され、前記センサ部は、照射された光から画像信号を生成し、

前記第一の論理回路は、前記第一の信号線に、パルス信号を出力し、

前記第二の論理回路は、前記第二の信号線に、パルス信号を出力し、

前記第一の信号線は前記第一の T F T にパルス信号を出力し、前記第二の信号線は前記第二の T F T にオン信号を出力することを特徴とする半導体装置。

【請求項 1 4】

複数の画素を設けた画素部と、信号線駆動回路と、出力切り替え回路とを有する半導体装置であって、

前記半導体装置は、バックライトまたはフロントライトを有し、

前記複数の画素は、センサ部と液晶素子部をそれぞれ有し、

前記センサ部は第一の T F T を有し、前記発光素子部は第二の T F T を有し、

前記出力切り替え回路は、第一の論理回路と第二の論理回路を有し、

前記第一の論理回路と前記第二の論理回路には、一方には第一の信号線が接続され、もう一方には第二の信号線が接続され、

前記第一の信号線には前記第一の T F T が接続され、前記第二の信号線には前記第二の T F T が接続され、

前記信号線駆動回路は、前記第一の論理回路と前記第二の論理回路に、タイミング信号を出力し、

前記センサ部が生成した画像信号は、前記液晶素子部に入力され、

前記第一の論理回路と前記第二の論理回路は、一方は前記第一の信号線に、もう一方は前記第二の信号線に、それぞれ異なるタイミング信号を出力し、

前記第一の信号線は前記第一の T F T にオフ信号を出力し、前記第二の信号線は前記第二の T F T にパルス信号を出力することを特徴とする半導体装置。

【請求項 1 5】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の論理回路と前記第二の論理回路は、一方は N A N D 回路であり、もう一方は N O R 回路であることを特徴とする半導体装置。

【請求項 1 6】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の論理回路と前記第二の論理回路は、一方は A N D 回路であり、もう一方は N O R 回路であること

を特徴とする半導体装置

【請求項 1 7】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の論理回路と前記第二の論理回路は、一方は N A N D 回路であり、もう一方は O R 回路であること

を特徴とする半導体装置。

【請求項 1 8】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の論理回路と前記第二の論理回路は、一方は A N D 回路であり、もう一方は O R 回路であることを特徴とする半導体装置。

【請求項 1 9】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の信号線と前記第二の信号線は、一方は選択信号線であり、もう一方はセンサ選択信号線であることを特徴とする半導体装置。

【請求項 2 0】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の信号線と前記第二の信号線は、一方はリセット信号線であり、もう一方はセンサリセット信号線であることを特徴とする半導体装置。

【請求項 2 1】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の信号線と前記第二の信号線は、一方は選択信号線であり、もう一方はセンサリセット信号線であることを特徴とする半導体装置。

【請求項 2 2】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の信号線と前記第二の信号線は、一方はリセット信号線であり、もう一方はセンサ選択信号線であることを特徴とする半導体装置。

【請求項 2 3】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の信号線と前記第二の信号線は、一方は液晶選択信号線であり、もう一方はセンサ選択信号線であることを特徴とする半導体装置。

【請求項 2 4】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の信号線と前記第二の信号線は、一方は液晶選択信号線であり、もう一方はセンサリセット信号線であることを特徴とする半導体装置。

【請求項 2 5】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の T F T と前記第二の T F T は、一方は選択用 T F T であり、もう一方はセンサ選択用 T F T であることを特徴とする半導体装置。

【請求項 2 6】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の T F T と前記第二の T F T は、一方は選択用 T F T であり、もう一方はセンサリセット用 T F T であることを特徴とする半導体装置。

【請求項 2 7】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の T F T と前記第二の T F T は、一方はリセット用 T F T であり、もう一方はセンサリセット用 T F T であることを特徴とする半導体装置。

【請求項 2 8】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の T F T と前記第二の T F T は、一方はリセット用 T F T であり、もう一方はセンサ選択用 T F T であることを特徴とする半導体装置。

【請求項 2 9】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の T F T と前記第二の T F T は、一方は液晶選択用 T F T であり、もう一方はセンサ選択用 T F T であることを特徴とする半導体装置。

【請求項 3 0】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の T F T と前記第二の T F T は、一方は液晶選択用 T F T であり、もう一方はセンサリセット用 T F T であることを特徴とする半導体装置。

【請求項 3 1】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第一の T F T と前記第二の T F T は、一方は液晶選択用 T F T であり、もう一方はセンサリセット用 T F T であることを特徴とする半導体装置。
。また、複数の T F T が、同一回路が接続されていることを特徴とする半導体装置。

【請求項 3 2】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記第二の論理回路には、一つまたは複数のインバータ回路が接続されていることを特徴とする半導体装置。

【請求項 3 3】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記複数の画素は、発光素子と、選択用 T F T と、駆動用 T F T と、リセット用 T F T と、光電変換素子と、センサ選択用 T F T と、センサ駆動用 T F T と、センサリセット用 T F T とをそれぞれ有することを特徴とする半導体装置。

【請求項 3 4】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記複数の画素は、発光素子と、選択用 T F T と、駆動用 T F T と、光電変換素子と、センサ選択用 T F T と、センサ駆動用 T F T と、センサリセット用 T F T とをそれぞれ有することを特徴とする半導体装置。

【請求項 3 5】

請求項 1 乃至請求項 1 4 のいずれか一項において、前記複数の画素は、液晶素子と、液晶選択用 T F T と、光電変換素子と、センサ選択用 T F T と、センサ駆動用 T F T と、センサリセット用 T F T とをそれぞれ有することを特徴とする半導体装置。

【請求項 3 6】

請求項 1 乃至 1 4 のいずれか一項において、前記複数の画素は、三つの発光素子と一つの光電変換素子をそれぞれ有することを特徴とする半導体装置。

【請求項 3 7】

請求項 1 乃至請求項 3 6 のいずれか一項に記載の半導体装置を用いることを特徴とする表示装置。

【請求項 3 8】

請求項 1 乃至請求項 3 6 のいずれか一項に記載の半導体装置を用いることを特徴とする液晶表示装置。

【請求項 3 9】

請求項 1 乃至請求項 3 6 のいずれか一項に記載の半導体装置を用いることを特

徴とするスキャナ。

【請求項 4 0】

請求項 1 乃至請求項 3 6 のいずれか一項に記載の半導体装置を用いることを特徴とする携帯情報端末。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は光源を有し、マトリクス状に配置された光電変換素子と複数の薄膜トランジスタ（以下、T F T とよぶ。）とによって構成される半導体装置に関する。本発明の半導体装置はイメージセンサ機能を有し、かつ、画像を表示する機能を有することを特徴とする。

【0 0 0 2】

【従来の技術】

近年、紙面上の文字・図画情報や、映像情報等の光信号から、画像情報を有する電気信号を読み出すダイオード、C C D 等の光電変換素子を有する固体撮像装置が用いられるようになってきた。この固体撮像装置は、スキャナやデジタルカメラ等に用いられている。

【0 0 0 3】

光電変換素子を有する固体撮像装置には、ラインセンサと、エリアセンサとがある。ラインセンサは、線状に設けられた光電変換素子を被写体上でスキャンし、画像を電気信号として取り込む。

【0 0 0 4】

それに対しエリアセンサは、密着型エリアセンサとも呼ばれており、平面に設けられた光電変換素子を被写体上に配置し、画像を電気信号として取り込んでいる。エリアセンサはラインセンサと異なり光電変換素子をスキャンする必要がな

る。以下、図 1 乃至図 4 を参照して、本発明の半導体装置の構成について説明する。

本明細書において、ラインセンサおよびエリアセンサなどのイメージセンサ機能を有するものを半導体装置とよぶ。図 5 に従来の半導体装置の構成を示す。1

001は、CCD型（CMOS型）のイメージセンサであり、1001の上にはロッドレンズアレイなどの光学系1002が配置されている。光学系1002は、被写体の画像がイメージセンサ1001上に映し出されるようにするために配置される。光学系1002の像の関係は、等倍系である。光源1003は、被写体1004に光を照射できる位置に配置されている。図5に示す半導体装置に用いられる光源の種類は、LEDや蛍光灯などである。そして、被写体の下部にはガラス1005が配置される。被写体1004はガラス1005の上に配置される。

【0006】

光源1003から発せられた光は、ガラス1005を介して被写体1004に照射される。照射された光は、被写体1004で反射し、ガラス1005を介して、光学系1002に入射する。光学系1002に入射した光は、イメージセンサ1001に入射し、そこで光電変換される。そして、電気に変換された信号は、外に読み出される。イメージセンサで一行分の信号を読み取った後、スキャナ1006を移動し、再び同様の動作を繰り返す。

【0007】

【発明が解決しようとする課題】

上述した半導体装置は、光源1003からの光が、ガラス1005を介して被写体1004に照射されるために、光が均一に照射されない場合がある。また、被写体1004において反射した光は、光学系1002を介してイメージセンサ1001に照射されるために、読み込んだ画像が部分的に明るくなったり暗くなったりしてむらが生じてしまう。

【0008】

また上述した半導体装置の構造の場合は、光学系1002と光源1003のサイズを抑えることは難しい。そのために半導体装置自体の小型化、薄型化が妨げ

本発明は上記の実情を鑑みてなされたもので、読み込んだ画像に明るさのむらが生じない、かつ、小型化、薄型化を実現した半導体装置を提供することを目的

とする。

【 0 0 1 0 】

【課題を解決するための手段】

本発明の半導体装置は、光電変換素子と発光素子およびそれらを制御するための複数の薄膜トランジスタ（TFT）を一画素として、複数の画素を同一基板上にマトリクス状に形成する。このように、発光素子と光電変換素子を同一基板上に形成することにより、半導体装置の小型化、薄型化を実現することができる。

【0 0 1 1】

発光素子は光源として機能する。発光素子から発せられた光は被写体において反射し、光電変換素子に照射される。被写体において反射した光が、光電変換素子に照射されることによって電流が生じ、被写体の画像情報を有する電気信号（画像信号）が半導体装置に取り込まれる。本発明は上記構成によって光が被写体に均一に照射されるため、読み込んだ画像の明るさにむらが生じることはない。

【0 0 1 2】

また、本発明では、半導体装置の駆動回路として、信号線駆動回路と出力切り替え回路を用いる。信号線駆動回路は、外部から入力された信号に基づいてタイミング信号を出力切り替え回路に出力する。出力切り替え回路は、発光素子部が有するTFTに接続されている信号線と、センサ部が有するTFTに接続されている信号線に異なるタイミング信号を出力する。すなわち、出力切り替え回路を用いることにより、1つの駆動回路で2本の信号線を制御することが可能となる。そのため、半導体装置の駆動回路の占有面積を小さくし、半導体装置の小型化を実現することができる。

【0 0 1 3】

なお、本発明は、発光素子および光電変換素子を有するどのような半導体装置にも有効である。また、光源としてフロントライトまたはバックライトを用いた

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32

また、本明細書において、接続とは電気的な接続を意味している。

【0015】

【発明の実施の形態】

(実施の形態 1)

本発明の半導体装置について説明する。図 6 を参照する。図 6 には、発光素子、光電変換素子、複数の薄膜トランジスタ (TFT) をマトリクス状に配置し、同一基板上に形成した半導体の画素部を示す。画素部は複数の画素を有している。本実施の形態では、光電変換素子としてフォトダイオードを用いる。

【0016】

本明細書では、発光素子として EL 素子などを示す。発光素子は、電場を加えることで発生するルミネッセンス (Electro Luminescence) が得られる有機化合物を含む層 (以下、有機化合物層と記す) と、陽極層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、どちらの発光を用いても良い。

【0017】

なお、本明細書では、陽極と陰極の間に形成された全ての層を有機化合物層と定義する。有機化合物層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等などが含まれる。基本的に発光素子は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。本明細書では、陽極、有機化合物層及び陰極で形成される発光素子を用いる。

【0018】

また、本明細書で用いる光電変換素子は、PN 型のフォトダイオード、PIN 型のダイオード、アバランシェ型ダイオード、npn 埋め込み型ダイオード、ショットキー型ダイオード、フォトリソトランジスタ、フォトコンダクタのいずれか一

【0019】

画素部 100 はソース信号線 (S1~Sx)、電源供給線 (V1~Vx)、選択信号線 (EG1~EGx)、リセット信号線 (ER1~ERx)、センサ選択

信号線 (SG1~SGy)、センサリセット信号線 (SR1~SRy)、センサ用信号出力線 (SS1~SSx)、センサ用電源線 (VB1~VBx) を有している。

【0020】

画素部100は複数の画素を有している。画素101は、ソース信号線 (S1~Sx) のいずれか1つと、電源供給線 (V1~Vx) のいずれか1つと、選択信号線 (EG1~EGy) のいずれか1つと、リセット信号線 (ER1~ERy) のいずれか1つと、センサ選択信号線 (SG1~SGy) のいずれか1つと、センサリセット信号線 (SR1~SRy) のいずれか1つと、センサ用信号出力線 (SS1~SSx) のいずれか1つと、センサ用電源線 (VB1~VBx) のいずれか1つを有している。

【0021】

バイアス用TFT102のソース領域およびドレイン領域は、一方はセンサ用信号出力線 (SS1~SSx) に接続されており、もう一方はVss [バイアス用TFT用] に接続されている。またバイアス用TFT102のゲート電極は、バイアス用信号線 (BS) に接続されている。なお、バイアス用TFT102がnチャンネル型の場合は、Vss [バイアス用TFT用] に接続されており、pチャンネル型の場合は、Vdd [バイアス用TFT用] に接続されている。

【0022】

次に、図7を参照する。図7には画素101の詳しい構成を示している。点線で囲まれた領域は、図6で示す画素部100のi行目j列目の画素であり、本明細書では、画素 (i、j) とよぶ。画素 (i、j) は、ソース信号線 (Si) と、電源供給線 (Vi) と、センサ用信号出力配線 (SSi) と、センサ用電源線 (VBi) と、選択信号線 (EGj) と、リセット信号線 (ERj) と、センサ選択信号線 (SGj) と、センサリセット信号線 (SRj) を有する。

画素 (i、j) は、発光素子部211、選択用TFT212、駆動用TFT213、リセット用TFT214、コンデンサ215、発光素子216を有している。図7では、画素 (i、

j) にコンデンサ 2 1 5 が設けられているが、コンデンサ 2 1 5 を設けなくとも良い。

【 0 0 2 4 】

発光素子 2 1 6 は陽極と陰極と、陽極と陰極との間に設けられた有機化合物層とからなる。陽極が駆動用 T F T 2 1 3 のソース領域またはドレイン領域と接続している場合、陽極が画素電極となり、また陰極が対向電極となる。逆に陰極が駆動用 T F T 2 1 3 のソース領域またはドレイン領域と接続している場合、陰極が画素電極となり、陽極が対向電極となる。

【 0 0 2 5 】

選択用 T F T 2 1 2 のゲート電極は選択信号線 (E G j) に接続されている。そして選択用 T F T 2 1 2 のソース領域とドレイン領域は、一方がソース信号線 (S i) に、もう一方が駆動用 T F T 2 1 3 のゲート電極に接続されている。選択用 T F T 2 1 2 は、画素 (i、j) に信号を書き込むときのスイッチング素子として機能する T F T である。

【 0 0 2 6 】

駆動用 T F T 2 1 3 のソース領域とドレイン領域は、一方が電源供給線 (V i) に、もう一方が発光素子 2 1 6 に接続されている。コンデンサ 2 1 5 は駆動用 T F T 2 1 3 のゲート電極と電源供給線 (V i) に接続して設けられている。駆動用 T F T 2 1 3 は、発光素子 2 1 6 に供給する電流を制御するための素子 (電流制御素子) として機能する T F T である。

【 0 0 2 7 】

リセット用 T F T 2 1 4 のソース領域とドレイン領域は、一方は電源供給線 (V i) に接続され、もう一方は駆動用 T F T 2 1 3 のゲート電極に接続されている。リセット用 T F T 2 1 4 のゲート電極は、リセット信号線 (E R j) に接続されている。リセット用 T F T 2 1 4 は、画素 (i、j) に書き込まれた信号を

消去する機能する素子として機能する T F T である。

図 1 2 図 1 3 図 1 4

また、画素 (i、j) は、センサ部 2 2 1 として、センサ選択用 T F T 2 2 2、センサ駆動用 T F T 2 2 3、センサリセット用 T F T 2 2 4 を有している。ま

た、本実施の形態では、光電変換素子として、フォトダイオード 225 を有している。

【0029】

フォトダイオード 225 は、n チャネル型端子、p チャネル型端子、および n チャネル型端子と p チャネル型端子の間に設けられている光電変換層を有している。p チャネル型端子、n チャネル型端子の一方は、Vss {sensor 用} に接続されており、もう一方はセンサ駆動用 TFT 223 のゲート電極に接続されている。

【0030】

センサ選択用 TFT 222 のゲート電極はセンサ選択信号線 (SGj) に接続されている。そしてセンサ選択用 TFT 222 のソース領域とドレイン領域は、一方はセンサ駆動用 TFT 223 のソース領域に接続されており、もう一方はセンサ用信号出力線 (SSi) に接続されている。センサ選択用 TFT 222 は、フォトダイオード 225 の信号を出力するときのスイッチング素子として機能する TFT である。

【0031】

センサ駆動用 TFT 223 のドレイン領域はセンサ用電源線 (VBi) に接続されている。そしてセンサ駆動用 TFT 223 のソース領域はセンサ選択用 TFT 222 のソース領域又はドレイン領域に接続されている。センサ駆動用 TFT 223 は、バイアス用 TFT 102 とソースフォロワ回路を形成する。そのため、駆動用 TFT 223 とバイアス用 TFT 102 の極性は同じである方がよい。

【0032】

センサリセット用 TFT 224 のゲート電極はセンサリセット信号線 (SRj) に接続されている。センサリセット用 TFT 224 のソース領域とドレイン領域は、一方はセンサ用電源線 (VBi) に接続されており、もう一方は、フォト

ダイオード 225 の信号を出力するときのスイッチング素子として機能する TFT である。

【0033】

なお、発光素子部は、発光素子、選択用TFT、駆動用TFT、リセット用TFTを有する場合（3Tr/cell）と、発光素子、選択用TFT、駆動用TFTを有する場合（2Tr/cell）とがある。また、本明細書では詳細な説明は省略するが、発光素子部に含まれるTFTの数は特に限定されず、1画素中に4つのTFTを有する場合（4Tr/cell）、1画素中に5つのTFTを有する場合（5Tr/cell）、1画素中に6つのTFTを有する場合（6Tr/cell）などもある。

【0034】

次に、図1を参照する。図1には本発明の半導体装置のブロック図が示されている。画素部100の周囲には、選択信号線駆動回路103a、選択用出力切り替え回路103bが形成されており、また、リセット信号線駆動回路104a、リセット用出力切り替え回路104bが形成されている。また、ソース信号線駆動回路105、センサ用ソース信号線駆動回路106が形成されている。

【0035】

図2を参照する。図2（a）には、選択信号線駆動回路103aと選択用出力切り替え回路103bを示している。また図2（b）には、リセット信号線駆動回路104aとリセット用出力切り替え回路104bを示している。また、実施の形態2で説明するが、図2で示す選択信号線駆動回路103aと選択用出力切り替え回路103bから出力される信号のタイミングチャートを、図3に示すので適宜参考にすると良い。

【0036】

なお、図2（a）で示す選択信号線駆動回路103aと図2（b）で示すリセット信号線駆動回路104aは、シフトレジスタ110とパルス幅制御回路111を有している。選択信号線駆動回路103aとリセット信号線駆動回路104aは、シフトレジスタ110とパルス幅制御回路111を有している。しかし、

幅制御回路 選択信号線駆動回路

必要はなく、シフトレジスタ110のみを有していてもよい。

【0037】

シフトレジスタ110は、外部から入力される信号に基づいてタイミング信号

を発生させている。外部から入力される信号とは、クロック信号、クロックバック信号、スタートパルスなどを指す。そして、該タイミング信号は、シフトレジスタ 1 1 0 に設けられている複数の NAND 回路 1 1 4 より、シフトレジスタ 1 1 0 に隣接するパルス幅制御回路 1 1 1 に入力される。

【 0 0 3 8 】

パルス幅制御配線 1 1 2 は、シフトレジスタから入力されるタイミング信号のパルス幅に比べると、小さいパルス幅のタイミング信号を出力する。

【 0 0 3 9 】

本実施の形態では、一例として、パルス幅制御回路 1 1 1 は、複数の NOR 回路 1 1 5 と複数のインバータ回路 1 1 6 を有している。図 2 に示すように、NOR 回路 1 1 5 の入力は、パルス幅制御配線 1 1 2 と NAND 回路 1 1 4 の出力が接続している。また、NOR 回路 1 1 5 の出力には、インバータ回路 1 1 6 の入力に接続している。NOR 回路 1 1 5 は、NAND 回路 1 1 4 から入力されたタイミング信号と、パルス幅制御配線 1 1 2 から入力された信号の否定論理和をとって、インバータ回路 1 1 6 に信号を出力する。

【 0 0 4 0 】

インバータ回路 1 1 6 の出力は、NAND 回路 1 1 7 の入力と、NOR 回路 1 2 0 の入力に接続されている。インバータ回路 1 1 6 は、NOR 回路 1 1 5 から入力された信号を反転させ、2 本の配線に信号を出力する。2 本の配線には、一方は NAND 回路 1 1 7 が接続されており、もう一方には、NOR 回路 1 2 0 が接続されている。

【 0 0 4 1 】

NAND 回路 1 1 7 の出力と NOR 回路 1 2 0 の出力には、インバータ回路が接続されている場合があり、1 つまたは複数のインバータ回路が接続されている。

インバータ回路が接続されていない場合は、NAND 回路 1 1 7 の出力には、選択信号線 (E G) が接続されており、NOR 回路 1 2 0 の出力には、センサ選択信号線 (S G) が接続されている。

【 0 0 4 3 】

インバータ回路が接続されている場合は、接続されているインバータ回路の数は、NAND回路 1 1 7 の場合と NOR 回路 1 2 0 の場合によってそれぞれ異なる。NAND 回路 1 1 7 の出力には、一つまたは複数のインバータ回路が接続されており、その先には選択信号線 (EG) が接続されている。NOR 回路 1 2 0 の出力には、一つまたは複数のインバータ回路が接続されており、その先にはセンサ選択信号線 (SG) に接続されている。また、選択信号線 (EG) とセンサ選択信号線 (SG) が接続されている T F T の極性によっても、インバータ回路の数は異なる。

【 0 0 4 4 】

以下、インバータ回路の数について、それぞれの信号線ごとに説明する。まず、選択信号線 (EG) の場合を説明する。選択信号線 (EG) は、NAND 回路 1 1 7 の先に接続されている。選択信号線 (EG) に接続されている選択用 T F T が n チャネル型の場合は、NAND 回路 1 1 7 に接続されるインバータ回路は偶数個となる。また、選択用 T F T が p チャネル型の場合は、NAND 回路 1 1 7 に接続されるインバータ回路は、奇数個となる。

【 0 0 4 5 】

図 2 (a) においては、一例として、選択用 T F T が n チャネル型の場合、すなわちインバータ回路が 2 個接続されている場合を示している。NAND 回路 1 1 7 の出力には、インバータ回路 1 1 8 の入力に接続されている。そしてインバータ回路 1 1 8 の出力には、インバータ回路 1 1 9 の入力に接続されている。そして、インバータ回路 1 1 9 の出力には、選択信号線 (EG) が接続されている。

【 0 0 4 6 】

次に、センサ選択信号線 (SG) の場合を説明する。センサ選択信号線 (SG) は、センサ選択用 T F T の出力に接続されている。センサ選択用 T F T が n チャネル型の場合は、センサ選択信号線 (SG) に接続されるインバータ回路は偶数個となる。また、センサ選択用 T F T が p チャネル型の場合は、NOR 回路 1 2 0 に接続されるインバータ回路は、奇数個と

なる。

【 0 0 4 7 】

図 2 (a) においては、一例として、センサ選択用 T F T が n チャンネル型の場合、すなわちインバータ回路が 2 個接続されている場合を示している。N O R 回路 1 2 0 の出力には、インバータ回路 1 1 8 の入力に接続されている。そしてインバータ回路 1 2 1 の出力には、インバータ回路 1 1 9 の入力に接続されている。そして、インバータ回路 1 2 2 の出力には、センサ選択信号線 (S G) が接続されている。

【 0 0 4 8 】

次にリセット用出力切り替え回路 1 0 4 b について、図 2 (b) を用いて説明する。リセット信号線駆動回路 1 0 4 a は、シフトレジスタ 1 1 0 とパルス幅制御回路 1 1 1 を有している。シフトレジスタ 1 1 0 とパルス幅制御回路 1 1 1 に関しては上述したので、ここでは説明を省略する。

【 0 0 4 9 】

リセット信号線 (E R) の場合を説明する。リセット信号線 (E R) は、N A N D 回路 1 2 7 の先に接続されている。リセット信号線 (E R) に接続されているリセット用 T F T が n チャンネル型の場合は、N A N D 回路 1 2 7 の出力に接続されるインバータ回路は奇数個となる。また、リセット用 T F T が p チャンネル型の場合は、N A N D 回路 1 1 7 の出力に接続されるインバータ回路は、奇数個となる。

【 0 0 5 0 】

図 2 (b) においては、一例として、リセット用 T F T が n チャンネル型の場合、すなわちインバータ回路が 1 個接続されている場合を示している。N A N D 回路 1 2 7 の出力には、インバータ回路 1 2 8 の入力に接続されている。そして、インバータ回路 1 2 8 の出力には、リセット信号線 (E R) が接続されている。

次に、センサリセット信号線 (S R) の場合を説明する。センサリセット信号線 (S R) は、N O R 回路 1 3 0 の先に接続されている。センサリセット信号線 (S R) に接続されているセンサリセット用 T F T が n チャンネル型の場合は、N

OR回路130の出力に接続されるインバータ回路は偶数個となる。また、リセット用TFTがpチャネル型の場合は、NOR回路130の出力に接続されるインバータ回路は、奇数個となる。

【0052】

図2(a)においては、一例として、センサリセット用TFTがnチャネル型の場合、すなわちインバータ回路が2個接続されている場合を示している。NOR回路130の出力には、インバータ回路131の入力が接続されている。そして、インバータ回路131の出力には、インバータ回路132の入力が接続されている。インバータ回路132の出力には、リセット信号線(ER)が接続されている。

【0053】

なお、本明細書では、上述したNAND回路117とNOR回路120およびNAND回路127とNOR回路130は、一方は第一の論理回路であり、もう一方は第二の論理回路であるとする。

【0054】

また、第一の論理回路と第二の論理回路は、一方はNAND回路であり、もう一方はNOR回路である。また、一方はNAND回路であり、もう一方はOR回路でもよい。また、一方はAND回路であり、もう一方はNOR回路でもよい。また、一方はAND回路であり、もう一方はOR回路でもよい。

【0055】

また、本明細書中では、第一の論理回路と第二の論理回路に接続される信号線を、第一の信号線と第二の信号線とする。

【0056】

第一の信号線と第二の信号線は、一方は選択信号線であり、もう一方はセンサ選択信号線である。また、一方は選択信号線であり、もう一方はセンサリセット信号線でもよい。また、一方はリセット信号線であり、もう一方はセンサ選択信号線でもよい。

【0057】

また、本明細書中では、第一の信号線と第二の信号線に接続されている T F T を第一の T F T と第二の T F T とする。

【 0 0 5 8 】

第一の T F T と第二の T F T は、一方は選択用 T F T であり、もう一方はセンサ選択用 T F T である。また、一方は選択用 T F T であり、もう一方はセンサリセット用 T F T でもよい。また、一方はリセット用 T F T であり、もう一方はセンサ選択用 T F T でもよい。また、一方はリセット用 T F T であり、もう一方はセンサリセット用 T F T でもよい。

【 0 0 5 9 】

本発明の半導体装置は、イメージセンサ機能を有し、かつ画像を表示する機能を有することを特徴としており、該半導体装置は 2 つのモードを有している。使用者は、イメージセンサ機能を用いる場合は、読み取りモードを選択し、画像を表示する機能を用いる場合は、表示モードを選択して使用することができる。

【 0 0 6 0 】

読み取りモードの場合には、画素部 1 0 0 を形成する発光素子 2 1 6 が、全画面中で均一に発光し、光源として機能する。そして、光源からの光は、被写体において反射される。フォトダイオード 2 2 5 は、被写体において反射した光を受け取り、被写体の情報を読み取ることができる。

【 0 0 6 1 】

また、表示モードの場合には、画素部 1 0 0 を形成する複数の発光素子 2 1 6 により画像を表示する。このモードの場合には、センサ部 2 2 1 のフォトダイオード 2 2 5 は機能せず、通常の表示装置と同様の機能をもつ。

【 0 0 6 2 】

モード制御配線 1 1 3 には、上述した読み取りモードと表示モードによって、異なる信号が入力されている。

図 1 1 5 は、図 1 1 3 のモード制御配線 1 1 3 の入力信号は、図 1 1 4 のモード制御配線 1 1 4 の出力に接続しており、NAND 回路 1 1 7 の出力は、インバータ回路 1 1 8 の入力に接続している。NAND 回路 1 1 7 は、それらから

入力された信号の否定論理積をとって、インバータ回路 1 1 8 に信号を出力する。インバータ回路 1 1 8 の出力は、インバータ回路 1 1 9 の入力に接続されている。インバータ回路 1 1 8 は、入力された信号を反転させて、インバータ回路 1 1 9 に信号を出力する。インバータ回路 1 1 9 の出力は、選択信号線 (E G) に接続されている。インバータ回路 1 1 9 は、入力された信号を反転させて、選択信号線 (E G) に信号を出力する。

【 0 0 6 4 】

また、図 2 (a) において、N O R 回路 1 2 0 の入力は、モード制御配線 1 1 3 とインバータ回路 1 1 6 の出力に接続しており、N O R 回路 1 2 0 の出力は、インバータ回路 1 2 1 の入力に接続している。N O R 回路 1 2 0 は、それらから入力された信号の否定論理和をとって、インバータ回路 1 2 1 に信号を出力する。インバータ回路 1 2 1 の出力は、インバータ回路 1 2 2 の入力に接続されている。インバータ回路 1 2 1 は、入力された信号を反転させて、インバータ回路 1 2 2 に信号を出力する。インバータ回路 1 2 2 の出力は、センサ選択信号線 (S G) に接続されている。インバータ回路 1 2 2 は、入力された信号を反転させて、センサ選択信号線 (S G) に信号を出力する。

【 0 0 6 5 】

次に図 2 (b) に示すリセット出力切り替え回路 1 4 0 b について説明する。

【 0 0 6 6 】

図 2 (b) において、N A N D 回路 1 2 7 の入力は、モード制御配線 1 1 3 とインバータ回路 1 1 6 の出力に接続しており、N A N D 回路 1 2 7 の出力は、インバータ回路 1 2 8 の入力に接続している。N A N D 回路 1 2 7 は、それらから入力された信号の否定論理積をとって、インバータ回路 1 2 8 に信号を出力する。インバータ回路 1 2 8 の出力は、リセット信号線 (E R) に接続されている。インバータ回路 1 2 8 は、入力された信号を反転させて、リセット信号線 (E R

【 0 0 6 7 】

また、図 2 (b) において、N O R 回路 1 3 0 の入力は、モード制御配線 1 1 3 とインバータ回路 1 1 6 の出力に接続しており、N O R 回路 1 3 0 の出力は、

インバータ回路 1 3 1 の入力に接続している。N O R 回路 1 3 0 は、それらから入力された信号の否定論理和をとって、インバータ回路 1 3 1 に信号を出力する。インバータ回路 1 3 1 の出力は、インバータ回路 1 3 2 の入力に接続されている。インバータ回路 1 3 1 は、入力された信号を反転させて、インバータ回路 1 3 2 に信号を出力する。インバータ回路 1 3 2 の出力は、センサリセット信号線 (S R) に接続されている。インバータ回路 1 3 1 は、入力された信号を反転させて、センサリセット信号線 (S R) に信号を出力する。

【 0 0 6 8 】

図 2 において、選択用出力切り替え回路 1 0 3 b とリセット用出力切り替え回路 1 0 4 b を示したが、あくまで一例である。図 2 では N A N D 回路を用いているが、N A N D 回路の代わりに A N D 回路を用いてもよい。また、同様に、N O R 回路を用いているが、O R 回路を用いてもよい。また、N A N D 回路と N O R 回路、A N D 回路と O R 回路を入れ替えて用いてもよい。すなわち、信号線駆動回路および出力切り替え回路は、設計者が自由に設計することが可能である。

【 0 0 6 9 】

なお、本明細書において、信号線駆動回路は、選択信号線駆動回路またはリセット信号線駆動回路のどちらか一つを示す。また、出力切り替え回路は、選択用出力切り替え回路とリセット用出力切り替え回路のどちらか一つを示す。

【 0 0 7 0 】

(実施の形態 2)

図 3 を参照する。図 3 には実施の形態 1 で示した駆動回路の信号のタイミングチャートを示す。本実施の形態では、一例として選択信号線駆動回路 1 0 3 a と選択用出力切り替え回路 1 0 3 b の信号のタイミングチャートを示す。

【 0 0 7 1 】

隣接している任意の N A N D 回路 1 1 4 から出力される信号を b 1、b 2 とし、パルス幅制御配線 1 1 2 は、N A N D 回路 1 1 4 から出力されたタイミング信号のハルス幅に比べて、小さいパルス幅のタイミング信号を出力する。N O R 回路 1 1 5 の入力には、N A N D 回路 1 1 4 の出力とパルス幅制御配線 1 1 2 が接続されており、N O R 回路

115の出力には、インバータ回路116の入力が接続されている。NOR回路115は、NAND回路114から入力されたタイミング信号と、パルス幅制御配線112から入力された信号の否定論理和をとって、インバータ回路116にc1に示す信号を出力する。インバータ回路116は、NOR回路115から入力された信号を反転させ、d1に示す信号を出力する。

【0072】

モード制御配線113には、表示モードの場合と読み取りモードの場合において、図3に示すように異なる信号が入力されている。本実施の形態では、表示モードでは常にHighの信号が入力されており、読み取りモードでは、常にLowの信号が入力されている。

【0073】

NAND回路117の入力は、モード制御配線113とインバータ回路116の出力が接続されており、NAND回路117の出力は、インバータ回路118の入力が接続されている。NAND回路117は、インバータ回路116から入力されたタイミング信号と、モード制御配線113から入力された信号の否定論理積をとって、インバータ回路118に信号を出力する。インバータ回路118の出力は、インバータ回路119の入ちに接続されている。インバータ回路118は、入力された信号を反転させて、インバータ回路119に信号を出力する。インバータ回路119の出力には、選択信号線(EG)が接続されている。インバータ回路119は、入力された信号を反転させて、e1に示す信号を選択信号線(EG)に出力する。

【0074】

また、NOR回路120の入力は、モード制御配線113とインバータ回路116の出力が接続されており、NOR回路120の出力は、インバータ回路121の入力が接続されている。NOR回路120は、インバータ回路116から入力されたタイミング信号と、モード制御配線113から入力された信号の否定論理和をとって、インバータ回路121に信号を出力する。インバータ回路121の出力は、インバータ回路122の入ちに接続されている。インバータ回路121は、入力された信号を反転させて、インバータ回路122に信号を出力する。

インバータ回路 1 2 2 の出力には、センサ選択信号線 (S G) が接続されている。インバータ回路 1 2 2 は、入力された信号を反転させて、e 2 に示す信号をセンサ選択信号線 (E G) に出力する。

【0 0 7 5】

図 3 に示すように、選択信号線 (E G) と、センサ用選択信号線 (S G) とで出力される信号は異なる。また、表示モードと読み取りモードでは、選択信号線 (E G) とセンサ用選択信号線 (S G) に出力される信号は異なる。

【0 0 7 6】

インバータ回路 1 1 6 の入力には、異なる 2 つの回路の出力が接続されており、NAND 回路 1 1 7 の出力と NOR 回路 1 2 0 の出力が接続されている。

【0 0 7 7】

モード制御配線 1 1 3 に、H i g h の信号が入力されている場合について説明する。NAND 回路 1 1 7 に接続されている選択用信号線 (E G) には、インバータ回路 1 1 6 の出力と同様の信号である H i g h の信号が出力される。また、NOR 回路 1 2 0 に接続されているセンサ選択用信号線 (S G) には、インバータ回路 1 1 6 の出力に関わらず、常に一定の電圧を保った信号が出力される

【0 0 7 8】

次に、モード制御配線 1 1 3 に、L o w の信号が入力されている場合について説明する。NOR 回路 1 2 0 に接続されているセンサ選択用信号線 (S G) には、インバータ回路 1 1 6 と同様の信号である L o w の信号が出力される。また、NAND 回路 1 1 7 に接続されている選択用信号線 (S G) には、インバータ回路 1 1 6 の出力に関わらず、常に一定の電圧を保った信号が出力される。

【0 0 7 9】

(実施の形態 3)

図 4 を参照する。図 4 (A) には、被写体をモノクロで読み取る場合について

図 4 (A) は、被写体をモノクロで読み取る場合について、センサ部 2 1 1 の出力信号線 (B K) が、それぞれ接続されているモード制御配線 1 1 3 に入力される信号、また、発光素子部 2 1 1 に与えられるビデオ信号を示している。ビデオ信号とは、デジタルビデオ信号またはアナログビデオ信号を示す。また、図 4 (A) には、センサ部 2

21のセンサ用信号出力線(SS)と、センサ用選択信号線(SG)と、センサ用リセット信号線(SR)が、それぞれ接続されているTFTに入力される信号を示している。なお、本実施の形態は、画素部の構成として図6および図7を参照する。

【0080】

本実施の形態においては、一例として、選択用TFT212、リセット用TFT214、センサ選択用TFT222、センサリセットTFT224は全てnチャンネル型とする。また、駆動用TFT213はpチャンネル型とする。そしてそれらのTFTの極性に対応した信号を図4(A)に示す。ただし、選択用TFT212、リセット用TFT214、センサ選択用TFT222、センサリセットTFT224、駆動用TFT213の極性は、本発明の半導体装置の設計者が適宜決めることができる。しかし、その場合には、その極性に対応した信号を出力できる回路を設計しなければならない。

【0081】

TFTの極性がnチャンネル型の場合は、オン信号がHighの信号であり、オフ信号がLowの信号である。また、信号を入力するTFTの極性がpチャンネル型の場合は、オン信号がLowの信号であり、オフ信号がHighの信号である。

【0082】

表示モードにおいては、画素部100を形成する複数の発光素子216により画像を表示する。その場合には、センサ部221のフォトダイオード225は機能せずに常にオフ状態となり、本発明の半導体装置は、通常の表示装置と同様の機能をもつ。

【0083】

なお、センサ部221は常にオフ状態でなく、常にオン状態として機能させる回路などが電力を消費してしまう。よって、消費電力の観点から考えると、センサ部221は、常にオフ状態にしておくことが望ましい。またセンサ部221をオフ状態にしておくことによって、消費電力をおさえることができる。また、駆

動回路においては、オン状態からオフ状態に移行する場合、オフ状態からオン状態に移行する場合において電流が流れることにより、電力を消費する。消費電力をおさえるためには、駆動回路の各素子の電圧が変化せず、電流が流れないようにすればよい。よって、センサ部 2 2 1 を常にオフ状態にしておくことにより、消費電力をおさえることができる。

【 0 0 8 4 】

ソース信号線駆動回路からは、パルス信号が発生する。また、選択信号線 (E G) と、リセット信号線 (E R) は、それぞれ接続している T F T にパルス信号を入力する。またビデオ信号として、パルス信号が入力される。なお、本実施の形態において、パルス信号とは、時間的に電圧が変化する信号のことを指す。

【 0 0 8 5 】

表示モードにおいては、センサ部 2 2 1 は機能しない。センサ用ソース信号線 (S S) は、接続している T F T に信号を出力せず、一定の電圧を保っている。また、センサ選択信号線 (S G) とセンサリセット信号線 (S R) は、それぞれ接続している T F T に常にオフ信号 (本実施の形態では L o w の信号) を入力する。なお、ここでセンサ選択信号線 (S G) とセンサリセット信号線 (S R) が入力する信号は、パルス信号ではなく、常に一定の電圧を保っている信号である。そのため、表示モードの場合において、センサ選択信号線 (S G) とセンサリセット信号線 (S R) は常に一定の電圧を保っている。その結果、センサ部 2 2 1 には電流が流れず、機能しない。

【 0 0 8 6 】

次に、読み取りモードについて説明する。本実施の形態では、被写体をモノクロで読み取る場合について説明する。読み取りモードの場合には、画素部 1 0 0 を形成する発光素子 2 1 6 が、全画面中で均一に発光し、光源として機能する。そして、光源からの光は、被写体において反射され、フォトダイオード 2 2 5 は

図 1 1 示すように、画素部 1 0 0 の各画素に設けられ、被写体からの光を受光する。

【 0 0 8 7 】

すなわち、発光素子部 2 1 1 では、発光素子 2 1 6 を均一に発光させる必要がある。この場合には、ソース信号線駆動回路からは、オン信号 (本実施の形態で

は、Highの信号)が発生する。また、リセット信号線(ER)は、接続しているTFTにオフ信号(本実施の形態では、Lowの信号)を入力する。また、ビデオ信号として、駆動用TFTがオン状態になるような信号が駆動用TFTに入力される。すなわち、ビデオ信号は、オン信号(本実施の形態では、Lowの信号)が入力される。また、センサ部221において、センサ用信号出力信号線(SS)、センサ用選択信号線(SG)、センサ用リセット信号線(SR)は、それぞれ接続しているTFTにパルス信号を入力する。

【0088】

上述したように、読み取りモードと表示モードによって、それぞれの信号線から、それぞれ接続しているTFTに入力される信号は異なる。

【0089】

なお、本実施の形態では、被写体をモノクロで読み取る場合について述べたが、被写体をカラーで読み取る場合については、実施例2で説明する。

【0090】

【実施例】

(実施例1)

実施の形態では、発光素子部が3Tr/cellの場合を示したが、本実施例では、発光素子部が2Tr/cellの場合を示す。

【0091】

図8に一画素の詳しい構成を示す。図8には画素(i、j)の詳しい構成を示している。画素(i、j)は、ソース信号線(Si)と、電源供給線(Vi)と、センサ用信号出力線(SSi)と、センサ用電源線(VBi)と、選択信号線(EGj)と、センサ選択信号線(SGj)と、センサリセット信号線(SRj)を有する。

【0092】

図8に示す画素(i、j)は、選択用TFT231、駆動用TFT232、センサ用TFT233、発光素子236を有している。また図8では画素(i、j)にコンデンサ235が設けられているが、コンデンサ235を設けなくとも良い。そしてセンサ部2

4 1 は、センサ選択用 T F T 2 4 2、センサ駆動用 T F T 2 4 3、センサリセット用 T F T 2 4 4、フォトダイオード 2 4 5 を有している。

【 0 0 9 3 】

発光素子 2 3 6 は陽極と陰極と、陽極と陰極との間に設けられた有機化合物層とからなる。陽極が駆動用 T F T 2 4 3 のソース領域またはドレイン領域と接続している場合、陽極が画素電極となり、陰極が対向電極となる。また、陰極が駆動用 T F T 2 4 3 のソース領域またはドレイン領域と接続している場合、陰極が画素電極となり、陽極が対向電極となる。

【 0 0 9 4 】

選択用 T F T 2 3 2 のゲート電極は選択信号線 (E C j) に接続されている。そして選択用 T F T 2 3 2 のソース領域とドレイン領域は、一方がソース信号線 (S i) に、もう一方が駆動用 T F T 2 3 3 のゲート電極に接続されている。選択用 T F T 2 3 2 は、画素 (i、j) に信号を書き込むときのスイッチング素子として機能する T F T である。

【 0 0 9 5 】

駆動用 T F T 2 3 3 のソース領域とドレイン領域は、一方が電源供給線 (V i) に、もう一方が発光素子 2 3 6 に接続されている。コンデンサ 2 3 5 は駆動用 T F T 2 3 3 のゲート電極と電源供給線 (V i) とに接続して設けられている。駆動用 T F T 2 3 3 は、発光素子 2 1 6 に供給する電流を制御するための素子 (電流制御素子) として機能する T F T である。

【 0 0 9 6 】

また、画素 (i、j) は、センサ部 2 4 1 として、センサ選択用 T F T 2 4 2、センサ駆動用 T F T 2 4 3、センサリセット用 T F T 2 4 4、フォトダイオード 2 4 5 を有している。

【 0 0 9 7 】

n チャンネル型端子と p チャンネル型端子の間に設けられている光電変換層を有している。n チャンネル型端子、p チャンネル型端子の一方は、V s s [sensor 用] に接続されており、もう一方はセンサ駆動用 T F T 2 4 3 のゲート電極に接続されている。

【 0 0 9 8 】

センサ選択用 T F T 2 4 2 のゲート電極はセンサ選択信号線 (S G j) に接続されている。そしてセンサ選択用 T F T 2 4 2 のソース領域とドレイン領域は、一方はセンサ駆動用 T F T 2 4 3 のソース領域に接続されており、もう一方はセンサ用信号出力線 (S S i) に接続されている。センサ選択用 T F T 2 4 2 は、フォトダイオード 2 4 5 の信号を出力するときのスイッチング素子として機能する T F T である。

【 0 0 9 9 】

センサ駆動用 T F T 2 4 3 のドレイン領域はセンサ用電源線 (V B i) に接続されている。そしてセンサ駆動用 T F T 2 4 3 のソース領域はセンサ選択用 T F T 2 4 2 のソース領域又はドレイン領域に接続されている。また、センサ駆動用 T F T 2 4 3 は、バイアス用 T F T (図示せず) とソースフォロワ回路を形成する。そのため、センサ駆動用 T F T 2 4 3 とバイアス用 T F T の極性は同じである方がよい。

【 0 1 0 0 】

センサリセット用 T F T 2 4 4 のゲート電極はセンサリセット信号線 (S R j) に接続されている。センサリセット用 T F T 2 4 4 のソース領域とドレイン領域は、一方はセンサ用電源線 (V B i) に接続されており、もう一方はフォトダイオード 2 4 5 及びセンサ駆動用 T F T 2 4 3 のゲート電極に接続されている。センサリセット用 T F T 2 4 4 は、フォトダイオード 2 4 5 を初期化するための素子として機能する T F T である。

【 0 1 0 1 】

画素部は、図 8 に示す画素が複数個マトリクス状に同一基板上に形成されたものである。ソース信号線 (S) とセンサ用信号出力線 (S S) を制御するための駆動回路として、ソース信号線駆動回路と、センサ用ソース信号線駆動回路が

【 0 1 0 2 】

選択信号線 (E G) とセンサ選択信号線 (S G) を制御するために、信号線駆動回路が形成される。信号線駆動回路には、出力切り替え回路が接続される。ま

た、選択信号線（E G）とセンサリセット信号線（S R）を制御するために信号線駆動回路が形成されていてもよい。その場合には、信号線駆動回路には、出力切り替え回路が接続される。

【0103】

また、発光素子部が2 T r / c e l lである本実施例における半導体装置は、本出願人による特願2 0 0 0 - 0 6 7 7 9 3号の発明を適用することが可能である。

【0104】

また、本実施例は、発明の実施の形態と自由に組み合わせることが可能である。

【0105】

（実施例2）

実施例1では、発光素子部が2 T r / c e l lの場合について示した。本実施例では、発光素子部は2 T r / c e l lであって、三つの発光素子部と一つのセンサ部で一画素を形成している例について説明する。なお、3 T r / c e l lの場合や、その他の場合においても、三つの発光素子部と一つのセンサ部で画素を形成し、該画素で画素部を形成することができる。

【0106】

図9を参照する。光の三原色である赤（R）、緑（G）、青（B）用に全部で三つの発光素子部が形成されている。発光素子部2 5 1は、赤（R）用であり、選択用T F T 2 5 1 a、駆動用T F T 2 5 1 b、コンデンサ2 5 1 c、発光素子2 5 1 dを有している。

【0107】

発光素子部2 5 2は、緑（G）用であり、選択用T F T 2 5 2 a、駆動用T F T 2 5 2 b、コンデンサ2 5 2 c、発光素子2 5 2 dを有している。

発光素子部2 5 3は、青（B）用であり、選択用T F T 2 5 3 a、駆動用T F T 2 5 3 b、コンデンサ2 5 3 c、発光素子2 5 3 dを有している。

【0109】

発光素子 2 5 1 d、2 5 2 d、2 5 3 d は、陽極と陰極と、陽極と陰極との間に設けられた発光層とからなる。陽極が駆動用 T F T 2 5 1 b、2 5 2 b、2 5 3 b のそれぞれのソース領域またはドレイン領域と接続している場合、陽極が画素電極となり、陰極が対向電極となる。逆に陰極が駆動用 T F T 2 5 1 b、2 5 2 b、2 5 3 b のそれぞれのソース領域またはドレイン領域と接続している場合、陰極が画素電極となり、陽極が対向電極となる。

【 0 1 1 0 】

センサ部 2 5 4 は、センサ選択用 T F T 2 5 4 a、センサ駆動用 T F T 2 5 4 b、センサリセット用 T F T 2 5 4 c、フォトダイオード 2 5 4 d を有している。

【 0 1 1 1 】

フォトダイオード 2 4 5 は、n チャネル型端子、p チャネル型端子および n チャネル型端子と p チャネル型端子の間に設けられている光電変換層を有している。n チャネル型端子、p チャネル型端子の一方は、V s s [sensor 用] に接続されており、もう一方はセンサ駆動用 T F T 2 4 3 のゲート電極に接続されている。

【 0 1 1 2 】

センサ選択用 T F T 2 5 4 a のゲート電極はセンサ選択信号線 (S G j) に接続されている。そしてセンサ選択用 T F T 2 5 4 a のソース領域とドレイン領域は、一方はセンサ駆動用 T F T 2 5 4 b のソース領域に接続されており、もう一方はセンサ用信号出力線 (S S i) に接続されている。センサ選択用 T F T 2 5 4 a は、フォトダイオード 2 5 4 d の信号を出力するときのスイッチング素子として機能する T F T である。

【 0 1 1 3 】

センサ駆動用 T F T 2 5 4 b のドレイン領域とソース領域は、一方はセンサ用電源線 (V B i) に接続されており、もう一方は、センサ選択用 T F T 2 5 4 a のドレイン領域とソース領域と接続されている。センサ駆動用 T F T 2 5 4 b は、センサ用電源線 (V B i) を図示センサ部 2 5 4 の電源線として用いる。このため、駆動用 T F T 2 2 3 とバイアス用 T F T 1 0 2 の極性は同じである方がよい。

【 0 1 1 4 】

センサリセット用 T F T 2 5 4 c のゲート電極はセンサリセット信号線 (S R j) に接続されている。センサリセット用 T F T 2 5 4 c のソース領域とドレイン領域は、一方はセンサ用電源線 (V B i) に接続されており、もう一方は、フォトダイオード 2 5 4 d 及びセンサ駆動用 T F T 2 5 4 b のゲート電極に接続されている。センサリセット用 T F T 2 5 4 c は、フォトダイオード 2 5 4 d を初期化するための素子として機能する T F T である。

【 0 1 1 5 】

画素部は、図 9 に示す画素が複数個マトリクス状に同一基板上に形成されたものである。そして画素部の周囲には駆動回路が形成され、R 用ソース信号線 (R S) と、G 用ソース信号線 (G S) と、B 用ソース信号線 (B S) を制御するためのソース信号線駆動回路と、センサ用信号出力線 (S S) を制御するためのセンサ用ソース信号線駆動回路が形成される。

【 0 1 1 6 】

選択信号線 (E G) とセンサ選択信号線 (S G) を制御するために、信号線駆動回路が形成される。信号線駆動回路には、出力切り替え回路が接続される。また、選択信号線 (E G) とセンサリセット信号線 (S R) を制御するために信号線駆動回路が形成されていてもよい。その場合にも、信号線駆動回路には、出力切り替え回路が接続される。

【 0 1 1 7 】

また、発光素子部が 2 T r / c e l l である本実施例の半導体装置は、本出願人による特願 2 0 0 0 - 0 6 7 7 9 3 号の発明を適用することが可能である。

【 0 1 1 8 】

次に、図 4 (B) を参照する。図 4 (B) には、ソース信号線駆動回路が発生する信号、選択信号線 (E G)、リセット信号線 (E R) がそれぞれ接続されている T F T に出力する信号、また、発光素子部 2 5 1 ~ 2 5 3 に与えられるビデオ信号線 (V i d) と、センサ用選択信号線 (S G)、センサ用リセット信号線 (S R) が、それぞれ接続されている T F T に出力する信号を示している。なお、画素部の構成として、図 9 を参照する。

【 0 1 1 9 】

また、本実施の形態においては、発光素子部 2 5 1 ~ 2 5 3 に含まれる駆動用 T F T の極性は p チャネル型であり、他の T F T はすべて n チャネル型とする。それぞれの T F T の極性は、本発明の半導体装置の設計者が適宜決めることができる。しかし、その場合には、その極性に対応した信号を出力しなければならない。

【 0 1 2 0 】

すなわち、T F T の極性が n チャネル型の場合は、オン信号が H i g h の信号であり、オフ信号が L o w の信号である。また、信号を入力する T F T の極性が p チャネル型の場合は、オン信号が L o w の信号であり、オフ信号が H i g h の信号である。

【 0 1 2 1 】

まず、表示モードにおいては、発光素子 2 5 1 d、発光素子 2 5 2 d、発光素子 2 5 3 d が画像を表示する。その場合には、センサ部のフォトダイオード 2 5 4 d は機能しない。すなわち、ソース信号線駆動回路からは、パルス信号が発生する。また、選択信号線 (E G)、リセット信号線 (E R) は、それぞれ接続している T F T にパルス信号を出力する。またビデオ信号として、パルス信号が出力する。なお、本実施の形態において、パルス信号とは、時間の経過に伴い電圧が変化する信号のことを指す。

【 0 1 2 2 】

表示モードにおいては、センサ部 2 5 4 は機能しない。センサ用ソース信号線 (S S) は、接続している T F T に信号を出力せず、一定の電圧を保っている。また、センサ選択信号線 (S G) とセンサリセット信号線 (S R) は、それぞれ接続している T F T に常にオフ信号 (本実施の形態では L o w の信号) を出力する。なお、ここでセンサ選択信号線 (S G) とセンサリセット信号線 (S R) が

そのため、表示モードの場合において、センサ選択信号線 (S G) とセンサリセット信号線 (S R) は常に一定の電圧を保っている。その結果、センサ部 2 5 4 には電流が流れず、機能しない。

【 0 1 2 3 】

次に被写体をモノクロの画像として読み取る場合の読み取りモードについて説明する。読み取りモードの場合には、発光素子 2 5 1 d、発光素子 2 5 2 d、発光素子 2 5 3 d は、全画面で均一に発光し、光源として機能する。そして、光源からの光を被写体において反射させる。フォトダイオード 2 2 5 は、被写体において反射した光を受け取り、被写体の情報を読み取ることができる。すなわち、発光素子 2 5 1 d、発光素子 2 5 2 d、発光素子 2 5 3 d を均一に発光させる必要がある。

【 0 1 2 4 】

この場合には、ソース信号線駆動回路からは、オン信号（本実施の形態では、High の信号）が発生する。また、リセット信号線（ER）は、接続している TFT にオフ信号（本実施の形態では、Low の信号）を入力する。また、ビデオ信号として、駆動用 TFT 2 5 1 b、2 5 2 b、2 5 3 b がオン状態になるような信号が、駆動用 TFT 2 5 1 b、2 5 2 b、2 5 3 b に入力される。すなわち、ビデオ信号として、オン信号（本実施の形態では、Low の信号）が入力される。

【 0 1 2 5 】

被写体をカラーの画像として読み取る場合は、光の三原色である赤（R）、緑（G）、青（B）用に発光素子部を形成する。そして、赤（R）、緑（G）、青（B）の三回に分けて画像を読み取り、それらの画像を重ね合わせて一つの画像を形成する。

【 0 1 2 6 】

なお、被写体をカラーとして読み取る場合においては、センサ部 2 2 1 において、センサ用信号出力信号線（SS）、センサ用選択信号線（SG）、センサ用リセット信号線（SR）は、それぞれ接続している TFT にパルス信号を出力す

まず R 用の画像を読み取る場合を説明する。ソース信号線駆動回路からは、パルス信号が発生する。また、選択信号線（EG）、リセット信号線（ER）は、

それぞれ接続している T F T にパルス信号が入力される。そして、ビデオ信号として、R 用の発光素子部 2 5 1 にオンの信号が入力され、G 用の発光素子部 2 5 2 にオフの信号が入力され、B 用の発光素子部 2 5 3 にオフの信号が入力される。

【 0 1 2 8 】

次に、G 用の画像を読み取る場合を説明する。ソース信号線駆動回路からは、パルス信号が発生する。また、選択信号線 (E G)、リセット信号線 (E R) は、それぞれ接続している T F T にパルス信号を入力する。そしてビデオ信号として、R 用の発光素子部 2 5 1 にオフの信号が入力され、G 用の発光素子部 2 5 2 にオンの信号が入力され、B 用の発光素子部 2 5 3 にオフの信号が入力される。

【 0 1 2 9 】

次に、B 用の画像を読み取る場合を説明する。ソース信号線駆動回路からは、パルス信号が発生する。選択信号線 (E G) からはオン信号が発生する。また、選択信号線 (E G)、リセット信号線 (E R) は、それぞれ接続している T F T にパルス信号が入力される。そしてビデオ信号として、R 用の発光素子部 2 5 1 にオフ信号が入力され、G 用の発光素子部 2 5 2 にオフの信号が入力され、B 用の発光素子部 2 5 3 にオンの信号が入力される。

【 0 1 3 0 】

このように、R 用、G 用、B 用の三画面の画像を読み取り、その後、三つの画像を合成することにより、被写体をカラーとして読み取ることができる。

【 0 1 3 1 】

上述したように、読み取りモードと表示モードによって、それぞれの信号線から、それぞれ接続されている T F T に出力する信号は異なる。

【 0 1 3 2 】

なお、本実施例では、三つの発光素子部と一つのセンサ部で一画素を形成して

被写体カラー画像を形成する。

一の発光素子部と一つのセンサ部で一画素を形成している場合において、被写体をカラーとしてではなく、モノクロで読み取ることが可能である。すなわち、モノクロで読み取る場合には、一画素に三つある発光素子部をすべて発光させて被

写体を読み取ればよい。また、一画素に三つある発光素子部のうち、任意の二つを発光させてもよい。また、一画素に三つある発光素子部のうち、任意の一つを発光させてもよい。ただし、一例として、赤（R）用の発光素子部のみを発光させた場合は、被写体の赤の部分は読み取れない場合がある。

【 0 1 3 3 】

また、本実施例は、実施の形態および実施例 1 と自由に組み合わせることが可能である。

【 0 1 3 4 】

（実施例 3）

発明の実施の形態および実施例 1、2 では、光源として発光素子を用いた例を示したが、本実施例の半導体装置は、光源として、液晶表示装置に用いられるフロントライトまたはバックライトを用いる。本発明の半導体装置は、イメージセンサ機能を有し、かつ画像を表示する機能を有することを特徴としており、イメージセンサ機能により得られた情報は、本発明の半導体装置の画素部に設けられている液晶素子部により表示される。

【 0 1 3 5 】

図 10 を参照する。本実施例では、液晶素子部 261 とセンサ部 271 とで一画素を形成している。液晶素子部 261 は、液晶選択用 TFT 262、コンデンサ 263、液晶素子 264 を有している。また、センサ部 271 は、センサ選択用 TFT 272、センサ駆動用 TFT 273、センサリセット用 TFT 274、フォトダイオード 275 を有している。

【 0 1 3 6 】

選択用 TFT 262 のゲート電極は液晶選択信号線（EGj）に接続されている。そして選択用 TFT 262 のソース領域とドレイン領域は、一方がソース信号線（Si）に、もう一方が液晶素子 264 およびコンデンサ 263 に接続され

液晶素子部として機能する。このため、

液晶素子部として機能する。このため、

【 0 1 3 7 】

また、画素（i、j）は、センサ部 271 として、センサ選択用 TFT 272

、センサ駆動用TFT273、センサリセット用TFT274、フォトダイオード275を有している。

【0138】

センサ選択用TFT272のゲート電極はセンサ選択信号線(SGj)に接続されている。そしてセンサ選択用TFT272のソース領域とドレイン領域は、一方はセンサ駆動用TFT273のソース領域に接続されており、もう一方はセンサ用信号出力線(SSi)に接続されている。センサ選択用TFT272は、フォトダイオード275に信号を出力するときのスイッチング素子として機能するTFTである。

【0139】

センサ駆動用TFT273のドレイン領域はセンサ用電源線(VBi)に接続されている。そしてセンサ駆動用TFT273のソース領域はセンサ選択用TFT272のソース領域又はドレイン領域に接続されている。センサ駆動用TFT273は、バイアス用TFT(図示せず)とソースフォロワ回路を形成する。そのため、センサ駆動用TFT273とバイアス用TFTの極性は同じである方がよい。

【0140】

センサリセット用TFT274のゲート電極はセンサリセット信号線(SRj)に接続されている。センサリセット用TFT274のソース領域とドレイン領域は、一方はセンサ用電源線(VBi)に接続されており、もう一方はフォトダイオード275及びセンサ駆動用TFT273のゲート電極に接続されている。センサリセット用TFT274は、フォトダイオード275を初期化するための素子として機能するTFTである。

【0141】

画素部は、図10に示す画素が複数個マトリクス状に同一基板上に形成された液晶表示装置の画素部である。図10は、画素部100の駆動回路と、画素部100を制御するための液晶用ソース信号線駆動回路と、センサ用信号出力線(SSi)を制御するためのセンサ用ソース信号線駆動回路が形成される。

【0142】

また、選択信号線（E G）とセンサ選択信号線（S G）を制御するために、信号線駆動回路が形成される。信号線駆動回路には、出力切り替え回路が接続される。また、選択信号線（E G）とセンサリセット信号線（S R）を制御するために信号線駆動回路が形成されていてもよい。その場合にも、信号線駆動回路には、出力切り替え回路が接続される。

【 0 1 4 3 】

また、本実施例は、実施の形態 1 ～ 3 および実施例 1 と自由に組み合わせることが可能である。

【 0 1 4 4 】

（実施例 4）

本実施例では、発光素子 2 1 6 の動作を制御している、選択用 T F T 2 1 2 および駆動用 T F T 2 1 3 の駆動方法について説明する。なお、本実施例において、画素部 1 0 0 の構成は、図 6 及び図 7 を参照する。

【 0 1 4 5 】

図 1 1 に本発明の半導体装置のブロック図を示す。画素部 1 0 0 の周囲には、選択信号線駆動回路 1 0 3 a、選択用出力切り替え回路 1 0 3 b が形成されており、また、リセット信号線駆動回路 1 0 4 a、リセット用出力切り替え回路 1 0 4 b が形成されている。また、ソース信号線駆動回路 1 0 5、センサ用ソース信号線駆動回路 1 0 6 が形成されている。

【 0 1 4 6 】

ソース信号線駆動回路 1 0 5 は、シフトレジスタ 1 0 5 a、ラッチ（A）1 0 5 b、ラッチ（B）1 0 5 c を有している。ソース信号線駆動回路 1 0 5 において、シフトレジスタ 1 0 5 a にクロック信号（C L K）およびスタートパルス（S P）が入力される。シフトレジスタ 1 0 5 a は、これらのクロック信号（C L K）およびスタートパルス（S P）に基づきタイミング信号を順に発生させ、後段の回路へ供給する。

なおシフトレジスタ 1 0 5 a からのタイミング信号を、バッファ等（図示せず）によって緩衝増幅し、後段の回路へ緩衝増幅したタイミング信号を順次供給し

ても良い。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下りの”鈍り”を防ぐために、このバッファが設けられる。

【0148】

シフトレジスタ105aからのタイミング信号は、ラッチ(A)105bに供給される。ラッチ(A)105bは、デジタル信号(digital signals)を処理する複数のステージのラッチを有している。ラッチ(A)105bは、前記タイミング信号が入力されると同時に、デジタル信号を順次書き込み、保持する。

【0149】

なお、ラッチ(A)105bにデジタル信号を取り込む際に、ラッチ(A)105bが有する複数のステージのラッチに、順にデジタル信号を入力しても良い。ラッチ(A)105bが有する複数のステージのラッチをいくつかのグループに分け、グループごとに並行して同時にデジタル信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば4つのステージごとにラッチをグループに分けた場合、4分割で分割駆動すると言う。

【0150】

ラッチ(A)105bの全ステージのラッチへのデジタル信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ(A)105b中で一番左側のステージのラッチにデジタル信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタル信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0151】

ライン期間が終了すると同時に、デジタル信号(digital signals)が供給される次の瞬間、ラッチ(B)105cに書き込まれ保持されているデジタル信号は、ラッチ(B)105cに一齐に送出され、ラッチ(B)105cの全ステージのラッチに書き込まれ、保持される。

【0152】

デジタル信号をラッチ（B）105cに送出したラッチ（A）105bは、シフトレジスタ105aからのタイミング信号に基づき、再びデジタル信号の書き込みを順次行う。

【0153】

この2順目の1ライン期間中には、ラッチ（B）105cに書き込まれ、保持されているデジタル信号がソース信号線（S）に入力される。

【0154】

なおソース信号線駆動回路の構成は、本実施例で示した構成に限定されない。

【0155】

次に、画素部100の選択用TF T 2 1 2及び駆動用TF T 2 1 3を、デジタル方式で駆動させた場合のタイミングチャートを図12に示す。

【0156】

画素部100の全ての画素が一通り発光するまでの期間を1フレーム期間（F）と呼ぶ。フレーム期間はアドレス期間（T a）とサステイン期間（T s）とに分けられる。アドレス期間とは、1フレーム期間中、全ての画素にデジタル信号を入力する期間である。サステイン期間（点灯期間とも呼ぶ）とは、アドレス期間において画素に入力されたデジタル信号によって、発光素子を発光又は非発光の状態にし、表示を行う期間を示している。

【0157】

まずアドレス期間T aにおいて、発光素子の対向電極の電位は、電源供給線（V）の電位（電源電位）と同じ高さに保たれている。

【0158】

そして選択信号線（E G 1）に入力される信号によって、選択信号線（E G 1）に接続されている選択用TF T 2 1 2がオンの状態になる。次に、ソース信号線駆動回路

のソース信号線（S）に入力されたデジタル信号は、オンの状態の選択用TF T 2 1 2を介して駆動用TF T 2 1 3のゲート電極に入力される。

【0159】

次に選択信号線 (EG2) に入力される信号によって、選択信号線 (EG2) に接続されている全ての選択用 TFT212 がオンの状態になる。次に、ソース信号線駆動回路 105 からソース信号線 (S) にデジタルビデオ信号が入力される。ソース信号線 (S) に入力されたデジタルビデオ信号は、オンの状態の選択用 TFT212 を介して駆動用 TFT213 のゲート電極に入力される。

【0160】

上述した動作を選択信号線 (EGy) まで繰り返し、全ての画素 101 の駆動用 TFT213 のゲート電極にデジタル信号が入力され、アドレス期間が終了する。

【0161】

アドレス期間 Ta が終了すると同時にサステイン期間となる。サステイン期間において、全ての選択用 TFT212 は、オフの状態となる。

【0162】

そしてサステイン期間が開始されると同時に、全ての発光素子 216 の対向電極の電位は、電源電位が画素電極に与えられたときに発光素子 216 が発光する程度に、電源電位との間に電位差を有する高さになる。なお本明細書において、画素電極と対向電極の電位差を駆動電圧と呼ぶ。また各画素が有する駆動用 TFT213 のゲート電極に入力されたデジタルビデオ信号によって駆動用 TFT213 はオンの状態になっている。よって電源電位が発光素子 216 の画素電極に与えられ、全ての画素が有する発光素子 216 は発光する。

【0163】

サステイン期間が終了すると同時に、1つのフレーム期間が終了する。本実施例では、全てのサンプリング期間 ST1 ~ STy において画素が発光する必要があり、よって本実施例の駆動方法の場合、サステイン期間内にセンサフレーム期間 SF が含まれていることが重要である。

【0164】

この本実施例では、モノクロの画像を読み込む半導体装置の駆動方法について説明したが、カラーの画像を読み込む場合も同様である。ただしカラーの画像を読み込む半導体装置の場合、1つのフレーム期間を RGB に対応した 3つのサブ

フレーム期間に分割し、各サブフレーム期間においてアドレス期間とサステイン期間とに設ける。そしてR用のサブフレーム期間のアドレス期間では、Rに対応する画素の発光素子だけ発光するようなデジタル信号を全ての画素に入力し、サステイン期間においてRの発光素子だけ発光を行う。G用、B用のサブフレーム期間においても同様に、各サステイン期間において、各色に対応する画素の発光素子のみが発光を行うようにする。

【0165】

そしてカラーの画像を読み込む半導体装置の場合、RGBに対応した3つのサブフレーム期間の各サステイン期間は、R用、G用、B用センサフレーム期間（SF_r、SF_g、SF_b）をそれぞれ含んでいることが重要である。

【0166】

また、本実施例は、発明の実施の形態、実施例1～3と自由に組み合わせることが可能である。

【0167】

（実施例5）

本実施例では、画素部100において画像を表示する際の、選択用TFT212及び駆動用TFT213の駆動方法について説明する。なお、本実施例において、画素部100の構成は、図6及び図7を参照する。

【0168】

図13に、本発明の半導体装置において、デジタル方式で画素部100に画像を表示する際のタイミングチャートを示す。

【0169】

まず、1フレーム期間（F）をn個のサブフレーム期間（SF1～SF_n）に分割する。階調数が多くなるにつれて1フレーム期間におけるサブフレーム期間の数も増える。なお半導体装置の画素部100が画像を表示する場合、1フレーム期間（F）は、画素部100の画素にデジタル方式で駆動方法により、駆動期間を指す。

【0170】

本実施例の場合、フレーム期間は1秒間に60以上設けることが好ましい。1

秒間に表示される画像の数を60以上にすることで、視覚的にフリッカ等の画像のちらつきを抑えることが可能になる。

【0171】

サブフレーム期間はアドレス期間 (T_a) とサステイン期間 (T_s) とに分けられる。アドレス期間とは、1サブフレーム期間中、全ての画素にデジタルビデオ信号を入力する期間である。なおデジタルビデオ信号とは、画像情報を有するデジタルの信号である。サステイン期間 (点灯期間とも呼ぶ) とは、アドレス期間において画素に入力されたデジタルビデオ信号によって、発光素子を発光又は非発光の状態にし、表示を行う期間を示している。

【0172】

$SF1 \sim SFn$ が有するアドレス期間 (T_a) をそれぞれ $T_{a1} \sim T_{an}$ とする。 $SF1 \sim SFn$ が有するサステイン期間 (T_s) をそれぞれ $T_{s1} \sim T_{sn}$ とする。

【0173】

電源供給線 (V) の電位は所定の電位 (電源電位) に保たれている。

【0174】

まずアドレス期間 T_a において、発光素子の対向電極の電位は、電源電位と同じ高さに保たれている。

【0175】

次に選択信号線 (EG1) に入力される信号によって、選択信号線 (EG1) に接続されている全ての選択用 TFT212 がオンの状態になる。次に、ソース信号線駆動回路 105 からソース信号線 (S) にデジタルビデオ信号が入力される。デジタルビデオ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルビデオ信号は、一方が High、もう一方が Low の電圧を有する信号である。

そしてソース信号線 (S) に入力されたデジタルビデオ信号は、オンの状態の選択用 TFT212 を介して、駆動用 TFT213 のゲート電極に入力される。

【0177】

次に選択信号線（E G 1）に接続されている全ての選択用 T F T 2 1 2 がオフの状態になり、選択信号線（E G 2）に入力されるタイミング信号によって、選択信号線（E G 2）に接続されている全ての選択用 T F T 2 1 2 がオンの状態になる。次に、ソース信号線駆動回路 1 0 5 からソース信号線（S）にデジタルビデオ信号が入力される。ソース信号線（S）に入力されたデジタルビデオ信号は、オンの状態の選択用 T F T 2 1 2 を介して、駆動用 T F T 2 1 3 のゲート電極に入力される。

【 0 1 7 8 】

上述した動作を選択信号線（E G y）まで繰り返し、全ての画素 1 0 1 の駆動用 T F T 2 1 3 のゲート電極にデジタルビデオ信号が入力され、アドレス期間が終了する。

【 0 1 7 9 】

アドレス期間 T a が終了すると同時にサステイン期間 T s となる。サステイン期間において、全ての選択用 T F T はオフの状態になる。サステイン期間において、全ての発光素子の対向電極の電位は、電源電位が画素電極に与えられたときに発光素子が発光する程度に、電源電位との間に電位差を有する高さになる。

【 0 1 8 0 】

本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、駆動用 T F T 2 1 3 はオフの状態になる。よって発光素子 2 1 6 の画素電極は対向電極の電位に保たれたままである。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素において、発光素子 2 1 6 は発光しない。

【 0 1 8 1 】

逆にデジタルビデオ信号が「1」の情報を有していた場合、駆動用 T F T 2 1 3 はオンの状態になる。よって電源電位が発光素子 2 1 6 の画素電極に与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有

る。このように、画素に入力されるデジタルビデオ信号の有する情報によって、発

【 0 1 8 2 】

このように、画素に入力されるデジタルビデオ信号の有する情報によって、発光素子 2 1 3 が発光または非発光の状態になり、画素は表示を行う。

【0183】

サステイン期間が終了すると同時に、1つのサブフレーム期間が終了する。そして次のサブフレーム期間が出現し、再びアドレス期間に入り、全画素にデジタルビデオ信号を入力したら、再びサステイン期間に入る。なお、サブフレーム期間 $S F 1 \sim S F n$ の出現する順序は任意である。

【0184】

以下、残りのサブフレーム期間においても同様の動作を繰り返し、表示を行う。n個のサブフレーム期間が全て終了したら、1つの画像が表示され、1フレーム期間が終了する。1フレーム期間が終了すると次のフレーム期間のサブフレーム期間が出現し、上述した動作を繰り返す。

【0185】

本発明において、n個のサブフレーム期間がそれぞれ有するアドレス期間 $T a 1 \sim T a n$ の長さは全て同じである。またn個のサステイン期間 $T s 1, \dots, T s n$ の長さの比は、 $T s 1 : T s 2 : T s 3 : \dots : T s (n-1) : T s n = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ で表される。

【0186】

各画素の階調は、1フレーム期間においてどのサブフレーム期間を発光させるかによって決まる。例えば、 $n = 8$ のとき、全部のサステイン期間で発光した場合の画素の輝度を100%とすると、 $T s 1$ と $T s 2$ において画素が発光した場合には75%の輝度が表現でき、 $T s 3$ と $T s 5$ と $T s 8$ を選択した場合には16%の輝度が表現できる。

【0187】

また、本実施例は、発明の実施の形態、実施例1～4と自由に組み合わせることが可能である。

【0188】

【実施例】

実施例4及び5では、アドレス期間において対向電極の電位を電源電位と同一電位に保っていたため、発光素子は発光しなかった。本実施例では、実施例4及び5とは異なる例について説明する。画素電極に電源電位が与えられたときに発

【0 1 8 9】

【0190】

【0 1 9 1】

【0192】

【 0 1 9 3 】

【 0 1 9 4 】

出証特 2 0 0 1 - 3 0 9 1 6 2 9

5 b、サンプリング回路 1 0 5 c を有している。なおレベルシフト 1 0 5 b は、設計者が必要に応じて用いることができる。また本実施例においてレベルシフト 1 0 5 b はシフトレジスタ 1 0 5 a とサンプリング回路 1 0 5 c との間に設ける構成としたが、本発明はこの構成に限定されず、シフトレジスタ 1 0 5 a の中にレベルシフト 1 0 5 b が組み込まれている構成にしても良い。

【0 1 9 5】

クロック信号 (C L K)、スタートパルス信号 (S P) がシフトレジスタ 1 0 5 a に入力される。シフトレジスタ 1 0 5 a からアナログの信号 (アナログ信号) をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号はレベルシフト 1 0 5 b に入力され、その電位の振幅が大きくなって出力される。

【0 1 9 6】

レベルシフト 1 0 5 b から出力されたサンプリング信号は、サンプリング回路 1 0 5 c に入力される。そしてサンプリング回路 1 0 5 c に入力されるアナログ信号がサンプリング信号によってそれぞれサンプリングされ、ソース信号線 (S) に入力される。

【0 1 9 7】

一方、選択信号側駆動回路 1 0 4 a は、それぞれシフトレジスタ、バッファ (いずれも図示せず) を有している。

【0 1 9 8】

選択信号側駆動回路 1 0 4 a において、シフトレジスタ (図示せず) からのタイミング信号がバッファ (図示せず) に供給され、対応する選択信号線 (E G) に供給される。選択信号線 (E G) には、それぞれ 1 ライン分の画素の選択用 T F T 2 1 2 のゲート電極が接続されており、1 ライン分全ての画素の選択用 T F T 2 1 2 を同時にオンの状態にしなくてはならないので、バッファは大きな電流を供給する必要がある。

【0 1 9 9】

次に、選択用 T F T 2 1 2 及び駆動用 T F T 2 1 3 を、アナログ方式で駆動させた場合のタイミングチャートを図 1 5 に示す。画素部 1 0 0 の全ての画素が一

通り発光するまでの期間を1フレーム期間Fと呼ぶ。1ライン期間Lは、1つの選択信号線が選択されてから、その次に別の選択信号線が選択されるまでの期間を意味する。図6に示した半導体装置の場合、選択信号線はy本あるので、1フレーム期間中にy個のライン期間L₁～L_yが設けられている。

【0200】

解像度が高くなるにつれて1フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならない。

【0201】

まず電源供給線(V)は一定の電源電位に保たれている。そして発光素子の対向電極の電位である対向電位も一定の電位に保たれている。電源電位は、電源電位が発光素子の画素電極に与えられると発光素子が発光する程度に、対向電位との間に電位差を有している。

【0202】

第1のライン期間L₁において、選択信号線駆動回路104aから選択信号線(EG1)に入力されるタイミング信号によって、選択信号線(EG1)に接続された全ての選択用TFT212はオンの状態になる。そして、ソース信号線(S)に順にソース信号線駆動回路105からアナログ信号が入力される。ソース信号線(S)に入力されたアナログ信号は、選択用TFT212を介して駆動用TFT213のゲート電極に入力される。

【0203】

駆動用TFT213のチャネル形成領域を流れる電流の大きさは、そのゲート電極に入力される信号の電位の高さ(電圧)によって制御される。よって、発光素子216の画素電極に与えられる電位は、駆動用TFT213のゲート電極に入力されたアナログ信号の電位の高さによって決まる。そして発光素子216はアナログ信号の電位に制御されて発光を行う。なお本実施例の場合、全ての画素

素子216は、選択信号線(EG1)の電位に制御されて発光を行う。

【0204】

ソース信号線(S)へのアナログ信号の入力が終了すると、第1のライン期間L₁が終了する。なお、ソース信号線(S)へのアナログ信号の入力が終了する

までの期間と水平帰線期間とを合わせて1つのライン期間としても良い。そして次に第2のライン期間 L_2 となり、選択信号線(EG1)に接続された全ての選択用TF T 2 1 2はオフの状態になり、選択信号線(EG2)に入力されるゲート信号によって、選択信号線(EG2)に接続された全ての選択用TF T 2 1 2はオンの状態になる。そして第1のライン期間 L_1 と同様に、ソース信号線(S)に順にアナログ信号が入力される。

【0205】

そして上述した動作を選択信号線(EGy)まで繰り返し、全てのライン期間 $L_1 \sim L_y$ が終了する。全てのライン期間 $L_1 \sim L_y$ が終了すると、1フレーム期間が終了する。1フレーム期間が終了することで、全ての画素が有する発光素子は発光を行う。なお全てのライン期間 $L_1 \sim L_y$ と垂直帰線期間とを合わせて1フレーム期間としても良い。

【0206】

本発明では、全てのサンプリング期間ST1～STyにおいて画素が発光する必要があり、よって本実施例の駆動方法の場合、フレーム期間内にセンサフレーム期間SFが含まれていることが重要である。

【0207】

なお本実施例では、モノクロの画像を読み込む半導体装置の駆動方法について説明したが、カラー画像を読み込む場合も同様である。ただしカラー画像を読み込む半導体装置の場合、1つのフレーム期間をRGBに対応した3つのサブフレーム期間に分割する。そしてR用のサブフレーム期間では、Rに対応する画素の発光素子だけ発光するようなアナログ信号を全ての画素に入力し、Rの発光素子だけ発光を行う。G用、B用のサブフレーム期間においても同様に、各色に対応する画素の発光素子のみが発光を行うようにする。

【0208】

また、カラー画像を読み込む半導体装置の場合、1つのフレーム期間をR用のサブフレーム期間、G用のサブフレーム期間、B用のサブフレーム期間に分割する。この場合、フレーム期間の各サブフレーム期間は、R用、G用、B用でそれぞれ異なる期間(例えば、 Fr 、 SFg 、 SFb)を含んでいることが重要である。

【0209】

なお本実施例の駆動方法において、画素部 1 0 0 に画像を表示させる場合は、アナログ信号の代わりに画像情報を有するアナログのビデオ信号（アナログビデオ信号）を入力すると、画素部 1 0 0 に画像を表示することが可能である。

【 0 2 1 0 】

また、本実施例は、発明の実施の形態、実施例 1 ～ 7 と自由に組み合わせることが可能である。

【 0 2 1 1 】

（実施例 8）

図 1 6 に本実施例の半導体装置のブロック図を示す。画素部 1 0 0 の周囲には、選択信号線駆動回路 1 0 3 a、選択出力切り替え回路 1 0 3 b が形成されており、また、リセット信号線駆動回路 1 0 4 a、リセット用出力切り替え回路 1 0 4 b が形成されている。また、ソース信号線駆動回路 1 0 5、センサ用ソース信号線駆動回路 1 0 6 が形成されている。

【 0 2 1 2 】

なお、本実施例において、画素部 1 0 0 の構成は、図 6 及び図 7 を参照する。センサ部 2 2 1 の駆動方法について説明する。センサ用ソース信号線駆動回路 1 0 6 は、バイアス用回路 1 0 6 a、サンプルホールド&信号処理用回路 1 0 6 b、信号出力用駆動回路 1 0 6 c、最終出力増幅用回路 1 0 6 d を有する。

【 0 2 1 3 】

バイアス用回路 1 0 6 a は、各画素のセンサ駆動用 T F T 2 1 2 と対になって、ソースフォロワ回路を形成する。バイアス用回路 1 0 6 a の下部には、サンプルホールド&信号処理用回路 1 0 6 b が形成されている。サンプルホールド&信号処理用回路 1 0 6 b は、信号をいったん保存しておいたり、アナログ・デジタル変換を行ったり、雑音を低減したりするための回路などが形成されている。

【 0 2 1 4 】

サンプルホールド&信号処理用回路 1 0 6 b は、図 1 6 に示すように、信号出力用駆動回路 1 0 6 c と最終出力増幅用回路 1 0 6 d とを有する。信号出力用駆動回路 1 0 6 c は、一時的に保存されていた信号を、順に出力していくための信号を出力している。そして、最終出力増幅用回路 1 0 6 d は、サンプルホールド&信号処理用回路 1 0 6 b と信号出力

用駆動回路 1 0 6 c により出力された信号を、外部に信号を出すために増幅している。すなわち、信号を増幅しない場合は不必要であるが、形成する場合が多い。

【0 2 1 5】

図 1 7 を参照する。図 1 7 には、バイアス用回路 1 0 6 a、サンプルホールド & 信号処理用回路 1 0 6 b および信号出力線用駆動回路 1 0 6 c の i 行目周辺部回路 5 0 5 の回路図を示す。本実施例では、全ての T F T が n チャネル型の場合を示す。バイアス用回路 1 0 6 a は、バイアス用 T F T 5 1 0 a を有している。バイアス用 T F T 5 1 0 a の極性は、各画素のセンサ駆動用 T F T 2 2 3 の極性と同じであり、ソースフォロワ回路を形成する。

【0 2 1 6】

バイアス用 T F T 5 1 0 a のゲート電極には、バイアス信号線 5 1 1 が接続されている。バイアス用 T F T 5 1 0 a のソース電極およびドレイン電極は、一方はセンサ用信号出力線 (S S i) に接続されており、もう一方は電源基準線 5 1 0 b に接続されている。なお、本実施例では、バイアス用 T F T 5 1 0 a が n チャネル型の場合を示したが、バイアス用 T F T 5 1 0 a が p チャネル型の場合は、電源線に接続される。

【0 2 1 7】

転送用 T F T 5 1 2 のゲート電極には、転送信号線 5 1 3 が接続されている。転送用 T F T 5 1 2 のソース電極とドレイン電極は、一方はセンサ用信号出力線 (S S i) に接続され、もう一方はコンデンサ 5 1 4 b に接続されている。転送用 T F T 5 1 2 は、センサ用信号出力線 (S S i) の電位をコンデンサ 5 1 4 b に転送する場合に動作する。また、本実施例では、n チャネル型の転送用 T F T 5 1 2 のみを用いたが、p チャネル型の転送用 T F T を追加して、n チャネル型転送用 T F T 5 1 2 と並列に接続することもできる。

コンデンサ 5 1 4 a のゲート電極は、転送用 T F T 5 1 2 のドレイン電極に接続されている。コンデンサ 5 1 4 b は、センサ用信号出力線 (S S i) から出力される信号を一時的に蓄積する。放電用 T F T 5 1 4 a のゲート電極は、プリ放電信号

線 5 1 5 に接続されている。また、放電用 T F T 5 1 4 a のソース電極とドレイン電極は、一方はコンデンサ 5 1 4 b に接続され、もう一方は電源基準線 5 1 4 c にそれぞれ接続されている。放電用 T F T 5 1 4 a は、センサ用信号出力線 (S S i) の電位をコンデンサ 5 1 4 b に入力する前に、コンデンサ 5 1 4 b の電荷を放電する。

【 0 2 1 9 】

なお、図 1 7 に示す回路に加えて、アナログ・デジタル信号変換回路や雑音低減回路などを形成することも可能である。

【 0 2 2 0 】

そして、コンデンサ 5 1 4 b と最終出力線 5 1 8 の間には、最終選択用 T F T 5 1 6 が接続される。最終選択用 T F T 5 1 6 のソース電極とドレイン電極は、一方はコンデンサ 5 1 4 b に接続され、もう一方は最終出力線 5 1 8 に接続される。最終選択用 T F T 5 1 6 のゲート電極は、i 行目最終選択線 5 1 9 に接続される。

【 0 2 2 1 】

最終選択線は、画素部にマトリクス状に配置されており、1 列目から順にスキャンされていく。そして、i 行目最終選択線 5 1 9 が選択され、最終選択用 T F T 5 1 6 が導通状態になると、コンデンサ 5 1 4 b の電位と i 行目最終選択線 5 1 9 の電位が等しくなる。そして、コンデンサ 5 1 4 b に蓄積していた信号を最終出力線 5 1 8 に出力することができる。

【 0 2 2 2 】

ただし、最終出力線 5 1 8 に信号を出力する前に、最終出力線 5 1 8 に電荷が蓄積されていると、その電荷によって最終出力線 5 1 8 に信号を出力したときの電位が影響を受ける。そこで、最終出力線 5 1 8 に信号を出力する前に、最終出力線 5 1 8 の電位を、ある電位値に初期化することが必要である。

図 1 7 では、最終出力線 5 1 8 と電源基準線 5 1 4 c の間に、最終リセット用の T F T 5 1 7 a を配置している。そして、最終リセット用 T F T 5 1 7 a のゲート電極には、i 行目最終リセット線 5 2 0 が接続されている。そして、i 行目最終

選択線 5 1 9 を選択する前に、i 行目最終リセット線 5 2 0 を選択し、最終出力線 5 1 8 の電位を電源基準線 5 1 7 b の電位に初期化する。その後、i 行目最終選択線 5 1 9 を選択し、最終出力線 5 1 8 に、コンデンサ 5 1 4 b に蓄積していた信号を出力する。

【 0 2 2 4 】

最終出力線 5 1 8 に出力される信号は、そのまま外部に取り出しても良い。しかし、信号が微弱であるため、外部に取り出す前に増幅しておく場合が多い。図 1 8 に、信号を増幅するための回路として、最終出力増幅用回路 1 0 6 d の回路を示す。信号を増幅するための回路としては、演算増幅器などさまざまな種類があるが、本実施例では、最も簡単な回路構成として、ソースフォロワ回路を示す。

【 0 2 2 5 】

図 1 8 は、ソースフォロワ回路が n チャネル型の場合を示す。最終出力増幅用回路 1 0 6 d への信号の入力は、最終出力線 5 1 8 を介して行われる。最終出力線 5 1 8 は、画素部においてマトリクス状に配置されており、その 1 列目から順に信号が出力される。最終出力線 5 1 8 から出力された信号は、最終出力増幅用回路 1 0 6 d によって、増幅されて外部に出力する。最終出力線 5 1 8 は、最終出力増幅向け増幅用 T F T 5 2 1 のゲート電極に接続される。最終出力増幅向け増幅用 T F T 5 2 1 のドレイン電極は、電源線 5 2 0 に接続され、ソース電極は出力端子となる。最終出力増幅向けバイアス用 T F T 5 2 2 のゲート電極は、最終出力増幅用バイアス信号線 5 2 3 に接続される。最終出力増幅向けバイアス用 T F T 5 2 2 のソース電極とドレイン電極は、一方は電源基準線 5 2 4 に接続され、もう一方は最終出力増幅向け増幅用 T F T 5 2 1 のソース電極に接続される。

【 0 2 2 6 】

本実施例では、最終出力増幅用回路 1 0 6 d として、n チャネル型のソースフォロワ回路を用いている。しかし、p チャネル型のソースフォロワ回路を用いることも可能であり、図 1 9 には p チャネル型のソースフォロワ回路を用いた場合の回路図を示す。最終出力線 5 1 8 は、最終出力増幅向け増幅用 T F T 5 2 1 のゲート電極に接

続される。最終出力増幅向け増幅用 T F T 5 2 1 のドレイン電極は、電源基準線 5 2 0 に接続され、ソース電極は、出力端子となる。最終出力増幅向けバイアス用 T F T 5 2 2 のゲート電極は、最終出力増幅用バイアス信号線 5 2 3 と接続される。最終出力増幅向けバイアス用 T F T 5 2 2 のソース電極とドレイン電極は、一方は電源線 5 2 0 と接続されており、もう一方は最終出力増幅向け増幅用 T F T 5 2 1 のソース電極と接続されている。図 1 9 に示す最終出力増幅用バイアス信号線 5 2 3 の電位は、図 1 8 に示す n チャンネル型を用いた場合の最終出力増幅用バイアス信号線 5 2 3 の電位とは異なる。

【 0 2 2 7 】

また、本実施例は、発明の実施の形態、実施例 1 ～ 7 と自由に組み合わせることが可能である。

【 0 2 2 8 】

(実施例 9)

次に、図 1 7 における信号のタイミングチャートを図 2 0 に示す。一例として、i 行目のセンサ選択信号線 (S G i) が選択された場合を示す。

【 0 2 2 9 】

まず、i 行目のセンサ選択信号線 (S G i) が選択されると、次にプリ放電信号線 5 1 5 を選択され、放電用 T F T 5 1 4 a が導通状態になる。そして、転送信号線 5 1 3 を選択する。すると、画素から、各列の信号が各列のコンデンサ 5 1 4 b に出力される。

【 0 2 3 0 】

全ての画素の信号を、各列のコンデンサ 5 1 4 b に蓄積した後、最終出力線 5 1 8 に各列の信号を順に出力していく。転送信号線 5 1 3 が非選択になってから、センサ選択信号線 (S G i) が選択されるまでの間、信号出力用駆動回路 1 0 6 c により、全列をスキャンしていく。まず、1 列目の最終リセット線を選択し、最終リセット用 T F T 5 1 6 のゲート電極を電源基準線 5 2 0 と接続し、最終リセット線 5 1 7 の電位に初期化する。その後、1 列目の最終選択線を選択し、最終選択用 T F T 5 1 6 を導通状態にし、1 列目のコンデンサ 5 1 4 b の信号を最終出力線 5 1 8 に出力する。

【 0 2 3 1 】

次に、２列目の最終リセット線を選択し、最終リセット用ＴＦＴ５１７aを導通状態にし、最終出力線５１８を電源基準線５１７bの電位に初期化する。その後、２列目の最終選択線を選択し、最終選択用ＴＦＴ５１６を導通状態にし、２列目のコンデンサ５１４bの信号を最終出力線５１８に出力する。その後は、同様の動作を繰り返す。

【 0 2 3 2 】

一例として、i行目の場合を説明する。はじめに、i行目最終リセット線520を選択し、最終リセット用TF T517aを導通状態にし、最終出力線518を電源基準線517bの電位に初期化する。その後、i行目最終選択線519を選択し、最終選択用TF T516を導通状態にし、i行目のコンデンサ514bの信号を最終出力線518に出力する。

【 0 2 3 3 】

次に、(i+1)列目の最終リセット線520を選択し、最終リセット用TF T517aを導通状態にし、最終出力線518を電源基準線517bの電位に初期化する。その後、(i+1)列目最終選択線519を選択し、最終選択用TF T516を導通状態にし、(i+1)列目のコンデンサ514bの信号を最終出力線518に出力する。その後は、同様の動作を繰り返し、全ての列の信号を最終出力線518に、順次出力していく。そのあいだ、バイアス信号線511の電位は、一定に保たれている。最終出力線518に出力された信号は、最終出力増幅用回路106dで増幅され、外へ出力されていく。

【 0 2 3 4 】

なお、光電変換などを行うセンサ部については、PN型のフォトダイオードの他に、PIN型のダイオード、アバランシェ型ダイオード、NPN埋め込み型ダイオード、ショットキー型ダイオード、X線用のフォトコンダクタ、赤外線用のヒテリウム酸化物半導体を用いたセンサ部が用いられる。

図1-10-1は、このように構成されたセンサ部の一例を示す。この例では、光電変換素子として、シリコンフォトダイオードが用いられている。

図1-10-2は、このように構成されたセンサ部の他の一例を示す。この例では、光電変換素子として、アバランシェ型ダイオードが用いられている。

図1-10-3は、このように構成されたセンサ部の他の一例を示す。この例では、光電変換素子として、NPN埋め込み型ダイオードが用いられている。

図1-10-4は、このように構成されたセンサ部の他の一例を示す。この例では、光電変換素子として、ショットキー型ダイオードが用いられている。

図1-10-5は、このように構成されたセンサ部の他の一例を示す。この例では、光電変換素子として、X線用のフォトコンダクタが用いられている。

図1-10-6は、このように構成されたセンサ部の他の一例を示す。この例では、光電変換素子として、ヒテリウム酸化物半導体が用いられている。

以上のように、センサ部の構成は、用途に応じて異なる。また、センサ部の構成は、回路設計や製造技術によって異なる。したがって、具体的なセンサ部の構成については、回路設計や製造技術に関する文献を参照する必要がある。

【 0 2 3 5 】

上述のように、光電変換素子は、ソースフォロワ回路の入力端子に接続される。

ことが多い。しかし、フォトゲート型のように、スイッチを間に挟んでもよい。また、対数変換型のように、光強度の対数値なるように処理した後の信号を入力端子に入力してもよい。

【 0 2 3 6 】

なお、本実施例では、画素が２次元に配置された半導体装置について述べたが、画素が１次元に配置されたラインセンサを実現することも出来る。

【 0 2 3 7 】

また、本実施例は、発明の実施の形態、実施例１～８と自由に組み合わせることが可能である。

【 0 2 3 8 】

(実施例 1 0)

本実施例では、本発明の半導体装置の画素部における断面図について説明する。

【 0 2 3 9 】

図 2 1 に本実施例の半導体装置の断面図を示す。4 0 1 は選択用 T F T、4 0 2 は駆動用 T F T、4 0 3 はセンサリセット用 T F T、4 0 4 はセンサ駆動用 T F T、4 0 5 はセンサ選択用 T F T である。

【 0 2 4 0 】

また、4 0 6 はカソード電極、4 0 7 は光電変換層、4 0 8 はアノード電極である。カソード電極 4 0 6 と、光電変換層 4 0 7 と、アノード電極 4 0 8 とによって、フォトダイオード 4 2 1 が形成される。4 1 4 はセンサ用配線であり、アノード電極 4 0 8 と外部の電源とを接続している。

【 0 2 4 1 】

また 4 0 9 は画素電極（陰極）、4 1 0 は発光層、4 1 1 は正孔注入層、4 1 2 は対向電極（陽極）である。画素電極（陰極）4 0 9 と、発光層 4 1 0 と、正孔注入層 4 1 1 と、対向電極（陽極）4 1 2 とは、層間絶縁膜 4 1 3 によって分離されている。層間絶縁膜 4 1 3 は保護膜である。層間絶縁膜 4 1 3 は層間絶縁膜であり、パッシブとして機能し、隣接する画素の E L 層を分離する役割を有している。

【 0 2 4 2 】

4 2 3 は被写体であり、発光素子 4 2 2 から発せられた光が被写体 4 2 3 において反射し、フォトダイオード 4 2 1 に照射される。本実施例では、被写体 4 2 3 を基板 4 3 0 の T F T が形成されている側に設ける。

【 0 2 4 3 】

本実施例において、選択用 T F T 4 0 1、駆動用 T F T 4 0 2、センサ駆動用 T F T 4 0 4、センサ選択用 T F T 4 0 5 は全て n チャネル型 T F T である。またセンサリセット用 T F T 4 0 3 は p チャネル型 T F T である。なお本発明はこの構成に限定されない。よって選択用 T F T 4 0 1、駆動用 T F T 4 0 2、センサ駆動用 T F T 4 0 4、センサ選択用 T F T 4 0 5、センサリセット用 T F T 4 0 3 は、n チャネル型 T F T と p チャネル型 T F T のどちらでも良い。

【 0 2 4 4 】

ただし本実施例のように、駆動用 T F T 4 0 2 のソース領域またはドレイン領域が発光素子の陰極と電氣的に接続されている場合、駆動用 T F T 4 0 2 は n チャネル型 T F T であることが望ましい。また逆に、駆動用 T F T 4 0 2 のソース領域またはドレイン領域が発光素子の陽極と電氣的に接続されている場合、駆動用 T F T 4 0 2 は p チャネル型 T F T であることが望ましい。

【 0 2 4 5 】

また、本実施例のように、センサリセット用 T F T 4 0 3 のドレイン領域がフォトダイオード 4 2 1 のカソード電極 4 0 6 とが電氣的に接続されている場合、センサリセット用 T F T 4 0 3 は p チャネル型 T F T、センサ駆動用 T F T 4 0 4 は n チャネル型 T F T であることが望ましい。逆にセンサリセット用 T F T 4 0 3 のドレイン領域がフォトダイオード 4 2 1 のアノード電極 4 0 8 と電氣的に接続され、センサ用配線 4 1 4 がカソード電極 4 0 6 と接続されている場合、センサリセット用 T F T 4 0 3 は n チャネル型 T F T、センサ駆動用 T F T 4 0 4 は p チャネル型 T F T であることが望ましい。

なお本実施例は、実施例 1、実施例 2 を自由に組み合わせることが可能である。

【 0 2 4 7 】

(実施例 11)

本実施例では、本発明の半導体装置の画素部における断面図の、実施例 10 とは異なる例について説明する。

【0248】

図 22 に本実施例の半導体装置の断面図を示す。501 は選択用 T F T、502 は駆動用 T F T、503 はセンサリセット用 T F T、504 はセンサ駆動用 T F T、505 はセンサ選択用 T F T である。

【0249】

また、506 はカソード電極、507 は光電変換層、508 はアノード電極である。カソード電極 506 と、光電変換層 507 と、アノード電極 508 とによって、フォトダイオード 521 が形成される。514 はセンサ用配線であり、アノード電極 508 と外部の電源とを電氣的に接続している。また、フォトダイオード 521 のカソード電極 506 とセンサリセット用 T F T 503 のドレイン領域とは電氣的に接続されている。

【0250】

また 509 は画素電極（陽極）、510 は発光層、511 は対向電極（陰極）である。画素電極（陽極）509 と、発光層 510 と、対向電極（陰極）511 とで発光素子 522 が形成される。513 は保護膜である。515 は層間絶縁膜であり、バンクとして機能し、隣接する画素の E L 層を分離する役割を有している。

【0251】

523 は被写体であり、発光素子 522 から発せられた光が被写体 523 上で反射し、フォトダイオード 521 に照射される。本実施例では、実施例 10 と異なり、被写体を基板 530 の T F T が形成されていない側に設ける。

【0252】

（実施例 12）
図 23 に本実施例の半導体装置の断面図を示す。501 は選択用 T F T、502 は駆動用 T F T、503 はセンサリセット用 T F T、504 はセンサ駆動用 T F T、505 はセンサ選択用 T F T である。また駆動用 T F T 502、センサリセット用 T F T 503 は p チャネル型 T F T である。なお本発明はこの構成に限定されない。よって選択用 T F T 501、駆動用 T F T 502、セン

サ駆動用TFT504、センサ選択用TFT505、センサリセット用TFT503は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0253】

ただし本実施例のように、駆動用TFT502のソース領域またはドレイン領域が発光素子522の陽極509と電氣的に接続されている場合、駆動用TFT502はpチャネル型TFTであることが望ましい。また逆に、駆動用TFT502のソース領域またはドレイン領域が発光素子522の陰極と電氣的に接続されている場合、駆動用TFT502はnチャネル型TFTであることが望ましい。

【0254】

また、本実施例のように、センサリセット用TFT503のドレイン領域がフォトダイオード521のカソード電極506と電氣的に接続されている場合、センサリセット用TFT503はpチャネル型TFT、センサ駆動用TFT504はnチャネル型TFTであることが望ましい。逆にセンサリセット用TFT503のドレイン領域がフォトダイオード521のアノード電極508と電氣的に接続され、センサ用配線514がカソード電極506と電氣的に接続されている場合、センサリセット用TFT503はnチャネル型TFT、センサ駆動用TFT504はpチャネル型TFTであることが望ましい。

【0255】

なお本実施例のフォトダイオードは他のTFTと同時に形成することができるので、工程数を抑えることができる。

【0256】

なお本実施例は、実施例1～実施例10と自由に組み合わせることが可能である。

【0257】

（実施例11）

本実施例では、本発明の一実施例の半導体装置の画素部は、図11の断面図に、実施例11とは異なる例について説明する。

【0258】

図 2 3 に本実施例の半導体装置の断面図を示す。6 0 1 は選択用 T F T、6 0 2 は駆動用 T F T、6 0 3 はセンサリセット用 T F T、6 0 4 はセンサ駆動用 T F T、6 0 5 はセンサ選択用 T F T である。

【0 2 5 9】

また、6 0 6 はカソード電極、6 0 7 は光電変換層、6 0 8 はアノード電極である。カソード電極 6 0 6 と、光電変換層 6 0 7 と、アノード電極 6 0 8 とによって、フォトダイオード 6 2 1 が形成される。6 1 4 はセンサ用配線であり、アノード電極 6 0 8 と外部の電源とを接続している。また、フォトダイオード 6 2 1 のカソード電極 6 0 6 とセンサリセット用 T F T 6 0 3 のドレイン領域とは電氣的に接続されている。

【0 2 6 0】

また 6 0 9 は画素電極（陽極）、6 1 0 は発光層、6 1 1 は対向電極（陰極）である。画素電極（陽極）6 0 9 と、発光層 6 1 0 と、対向電極（陰極）6 1 1 とで発光素子 6 2 2 が形成される。6 1 3 は保護膜である。6 1 5 は層間絶縁膜であり、バンクとして機能し、隣接する画素の E L 層を分離する役割を有している。

【0 2 6 1】

6 2 3 は被写体であり、発光素子 6 2 2 から発せられた光が被写体 6 2 3 上で反射し、フォトダイオード 6 2 1 に照射される。本実施例では、実施例 5 と異なり、被写体 5 2 3 を基板 6 3 0 の T F T が形成されていない側に設ける。

【0 2 6 2】

本実施例において、選択用 T F T 6 0 1、センサ駆動用 T F T 6 0 4、センサ選択用 T F T 6 0 5 は全て n チャネル型 T F T である。また駆動用 T F T 6 0 2、センサリセット用 T F T 6 0 3 は p チャネル型 T F T である。なお本発明はこの構成に限定されない。よって選択用 T F T 6 0 1、駆動用 T F T 6 0 2、センサ駆動用 T F T 6 0 4、センサ選択用 T F T 6 0 5 は p チャネル型 T F T であっても良い。

また、本実施例において、選択用 T F T 6 0 1、センサ駆動用 T F T 6 0 4、センサ選択用 T F T 6 0 5 は、p チャネル型 T F T であっても良い。

【0 2 6 3】

ただし本実施例のように、駆動用 T F T 6 0 2 のソース領域またはドレイン領

•

•

1のアノード電極708とセンサリセット用TFT703のドレイン領域とは電氣的に接続されている

【0269】

また709は画素電極（陰極）、710は発光層、711は正孔注入層、712は対向電極（陽極）である。画素電極（陰極）709と、発光層710と、正孔注入層711と、対向電極（陽極）712とで発光素子722が形成される。713は保護膜である。715は層間絶縁膜であり、バンクとして機能し、隣接する画素のEL層を分離する役割を有している

【0270】

723は被写体であり、発光素子722から発せられた光が被写体723上で反射し、フォトダイオード721に照射される。本実施例では、被写体723を基板730のTFTが形成されている側に設ける。

【0271】

本実施例において、選択用TFT701、駆動用TFT702、センサリセット用TFT703は全てnチャネル型TFTである。またセンサ駆動用TFT704、センサ選択用TFT705はpチャネル型TFTである。なお本発明はこの構成に限定されない。よって選択用TFT701、駆動用TFT702、センサ駆動用TFT704、センサ選択用TFT705、センサリセット用TFT703は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0272】

ただし本実施例のように、駆動用TFT702のソース領域またはドレイン領域が発光素子722の陰極709と電氣的に接続されている場合、駆動用TFT702はnチャネル型TFTであることが望ましい。また逆に、駆動用TFT702のソース領域またはドレイン領域が発光素子722の陽極712と電氣的に接続されている場合、駆動用TFT702はpチャネル型TFTであることが望

また、本実施例のように、センサリセット用TFT703のドレイン領域がフォトダイオード721のアノード電極708と電氣的に接続されている場合、セ

ンサリセット用 T F T 7 0 3 は n チャンネル型 T F T、センサ駆動用 T F T 7 0 4 は p チャンネル型 T F T であることが望ましい。逆にセンサリセット用 T F T 7 0 3 のドレイン領域がフォトダイオード 7 2 1 のカソード電極 7 0 6 と接続され、センサ用配線 7 1 4 がアノード電極 7 0 8 と接続されている場合、センサリセット用 T F T 7 0 3 は p チャンネル型 T F T、センサ駆動用 T F T 7 0 4 は n チャンネル型 T F T であることが望ましい。

【 0 2 7 4 】

なお本実施例のフォトダイオード 7 2 1 は他の T F T と同時に形成することができるので、工程数を抑えることができる。

【 0 2 7 5 】

なお本実施例は、実施例 1 ～実施例 1 2 と自由に組み合わせることが可能である。

【 0 2 7 6 】

(実施例 1 4)

本実施例では、本発明の半導体装置の画素部における断面図の、実施例 1 0 ～ 1 3 とは異なる例について説明する。

【 0 2 7 7 】

図 2 5 に本実施例の半導体装置の断面図を示す。8 0 1 は液晶選択用 T F T、8 0 2 はコンデンサ、8 0 3 はセンサリセット用 T F T、8 0 4 はセンサ駆動用 T F T、8 0 5 はセンサ選択用 T F T である。

【 0 2 7 8 】

また、8 0 6 は M g や T i からなる遮光層である。8 0 7 はフォトダイオードであり、p 型半導体層、光電変換層および n 型半導体層の 3 つの層から形成されている。8 0 8 は I T O からなる透明の導電層であり、8 0 9 はセンサ用信号出力線 (S S) である。

図 2 5 の断面図において、8 0 1 は画素電極 (陰極)、8 0 2 は液晶層、8 0 3 は配向膜、8 0 4 は液晶層、8 0 5 は透明導電膜 (透明導電膜)、8 1 4 は透明絶縁性の基板である。

【 0 2 8 0 】

840は導光板であり、導光板840の端にはフロントライトが設けられている。823は被写体であり、導光板840から発せられた光が被写体823において反射し、フォトダイオード807に照射される。本実施例では、被写体823を基板830のTFTが形成されている側に設ける。

【0281】

本実施例において、液晶選択用TFT801、コンデンサ802、センサリセット用TFT803は全てnチャネル型TFTである。またセンサ駆動用TFT804、センサ選択用TFT805はpチャネル型TFTである。なお本発明はこの構成に限定されない。よって液晶選択用TFT801、コンデンサ802、センサ駆動用TFT804、センサ選択用TFT805、センサリセット用TFT803は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0282】

なお本実施例は、実施例1～実施例13と自由に組み合わせることが可能である。

【0283】

(実施例15)

本実施例では、本発明の半導体装置の画素部における断面図の、実施例10～14とは異なる例について説明する。

【0284】

図26に本実施例の半導体装置の断面図を示す。901は液晶選択用TFT、902はコンデンサ、903はセンサリセット用TFT、904はセンサ駆動用TFT、905はセンサ選択用TFTである。

【0285】

また、906はMgやTiからなる遮光層である。907はフォトダイオードであり、p型半導体層、光電変換層およびn型半導体層の3つの層から形成される。908はフォトダイオードのp型半導体層、909はフォトダイオードの光電変換層、910はフォトダイオードのn型半導体層である。

【0286】

910は画素電極（陰極）、911は液晶層、912は配向膜、913はIT

○膜（透明導電膜）、914は透明絶縁性の基板である。

【0287】

940は導光板であり、導光板940の端にはバックライトが設けられている。923は被写体であり、導光板940から発せられた光が被写体923において反射し、フォトダイオード907に照射される。本実施例では、被写体923を基板930のTFTが形成されている側に設ける。

【0288】

本実施例において、液晶選択用TFT901、コンデンサ902、センサリセット用TFT903は全てnチャネル型TFTである。またセンサ駆動用TFT904、センサ選択用TFT905はpチャネル型TFTである。なお本発明はこの構成に限定されない。よって液晶選択用TFT901、コンデンサ902、センサ駆動用TFT904、センサ選択用TFT905、センサリセット用TFT903は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

【0289】

なお本実施例は、実施例1～実施例14と自由に組み合わせることが可能である。

【0290】

（実施例16）

本発明の半導体装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見ることが多い携帯情報端末は、視野角の広い本発明の半導体装置を用いた電子機器の具体例を図27に示す。

【0291】

図27（A）はビデオカメラであり、本体2601、表示部2602、筐体2

603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の半導体装置は表示部2602に用いることができる。

【0292】

図27(B)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の半導体装置は表示部2302に用いることができる。

【0293】

ここで図27(C)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の半導体装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0294】

なお、将来的に発光素子材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型またはリア型のプロジェクターに用いることも可能となる。また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光素子を用いる場合の本発明の半導体装置において、発光素子材料の応答速度は非常に高いため、半導体装置は動画表示に好ましい。

【0295】

また、発光素子を用いる場合の本発明の半導体装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする機器は、発光素子材料の発光輝度を高くして、発光部分の面積を小さくし、発光部分で形成するように駆動することが望ましい。

【0296】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用い

ることが可能である。本実施例は、発明の実施の形態、実施例 1 ～ 1 4 と自由に組み合わせることが可能である。

【 0 2 9 7 】

(実施例 1 7)

本発明の半導体装置を用いた電子機器の実施例 1 5 とは異なる例として、携帯型ハンドスキャナーについて、図 2 8 を用いて説明する。

【 0 2 9 8 】

1 8 0 1 は基板、1 8 0 2 は画素部、1 8 0 3 はタッチパネル、1 8 0 4 はタッチペンである。タッチパネル 1 8 0 3 は透光性を有しており、画素部 1 8 0 2 から発せられる光及び、画素部 1 8 0 2 に入射する光を透過することができ、タッチパネル 1 8 0 3 を通して被写体上の画像を読み込むことができる。また画素部 1 8 0 2 に画像が表示されている場合にも、タッチパネル 1 8 0 3 を通して、画素部 1 8 0 2 上の画像を見ることが可能である。

【 0 2 9 9 】

タッチペン 1 8 0 4 がタッチパネル 1 8 0 3 に触れると、タッチペン 1 8 0 4 とタッチパネル 1 8 0 3 とが接している部分の位置の情報を、電気信号として半導体装置に取り込むことができる。本実施例で用いられるタッチパネル 1 8 0 3 及びタッチペン 1 8 0 4 は、タッチパネル 1 8 0 3 が透光性を有していて、なおかつタッチペン 1 8 0 4 とタッチパネル 1 8 0 3 とが接している部分の位置の情報を、電気信号として半導体装置に取り込むことができるものならば、公知のものを用いることができる。

【 0 3 0 0 】

上記構成を有する本発明の半導体装置は、画像を読み込んで、画素部 1 8 0 2 に読み込んだ画像を表示し、取り込んだ画像にタッチペン 1 8 0 4 で書き込みを行うことができる。そして本発明の半導体装置は、画像の読み込み、画像の表示、画像の書き込みを、画素部 1 8 0 2 及びタッチパネル 1 8 0 3 を通して行うことができる。また、半導体装置自体の入出力ポート、電源ポート、制御ポートは機能として半導体装置に付随して、外部と接続することができる。

【 0 3 0 1 】

図 2 8 (b) は、図 2 8 (a) とは異なる携帯型ハントスキャナーであり、本体 1 9 0 1、画素部 1 9 0 2、上部カバー 1 9 0 3、外部接続ポート 1 9 0 4、操作スイッチ 1 9 0 5 で構成されている。図 2 8 (c) は図 2 8 (b) と同じ携帯型ハントスキャナーの上部カバー 1 9 0 3 を閉じた図である。

【 0 3 0 2 】

本発明の半導体装置は、読み込んだ画像を画素部 1 9 0 2 において表示することが可能であり、新たに電子ディスプレイを半導体装置に設けなくとも、その場で読み込んだ画像を確認することができる。

【 0 3 0 3 】

また半導体装置 1 9 0 2 で読み込んだ画像信号を、外部接続ポート 1 9 0 4 から携帯型ハントスキャナーの外部に接続されている電子機器に送り、ソフト上で画像を補正、合成、編集等を行うことも可能である。

【 0 3 0 4 】

なお本実施例は、発明の実施の形態、実施例 1 ～実施例 1 5 と自由に組み合わせることが可能である。

【 0 3 0 5 】

【発明の効果】

本発明の半導体装置は、光源としての発光素子と光電変換素子のフォトダイオードを同一基板上に形成することにより、半導体装置の小型化を実現することができる。また、駆動回路に出力切り替え回路を用いることにより、1 つの信号線駆動回路で、2 本の信号線を制御することができる。そのため、半導体装置の駆動回路の占有面積を小さくし、小型化を実現することができる。

【図面の簡単な説明】

【図 1】 本発明の駆動回路のブロック図。

【図 2】 本発明の駆動回路の回路図。

【図 3】 本発明の駆動回路の回路図。

【図 4】 信号線から接続されている画素部と、信号線の接続カーブ。

【図 5】 従来の駆動回路のブロック図。

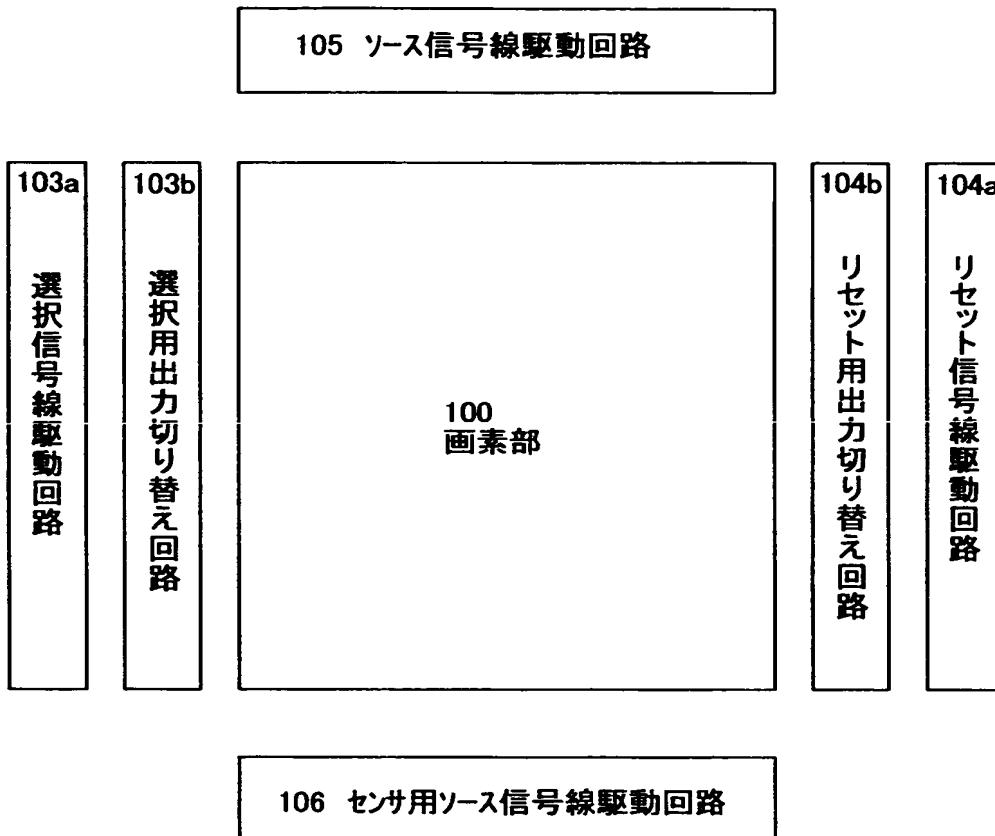
【図 6】 本発明の画素の回路図。

- 【図 7】 発光素子部が 3 T r / c e l l の場合の画素の図。
- 【図 8】 発光素子部が 2 T r / c e l l の場合の画素の図。
- 【図 9】 カラー画像を読み取る際の発光素子部が 2 T r / c e l l の場合の画素の図。
- 【図 1 0】 液晶素子部を有する場合の画素の図。
- 【図 1 1】 本発明の駆動回路のブロック図。
- 【図 1 2】 画像の読み取り際の、発光素子の発光のタイミングチャート。
- 【図 1 3】 画像の表示の際の、発光素子の発光のタイミングチャート。
- 【図 1 4】 本発明の駆動回路のブロック図。
- 【図 1 5】 画像の読み取り際の、発光素子の発光のタイミングチャート。
- 【図 1 6】 本発明の駆動回路のブロック図。
- 【図 1 7】 センサ用ソース信号線駆動回路の回路図。
- 【図 1 8】 センサ用ソース信号線駆動回路の回路図。
- 【図 1 9】 センサ用ソース信号線駆動回路の回路図。
- 【図 2 0】 センサ用ソース信号線駆動回路の信号のチャート図。
- 【図 2 1】 本発明の半導体装置の断面図。
- 【図 2 2】 本発明の半導体装置の断面図。
- 【図 2 3】 本発明の半導体装置の断面図。
- 【図 2 4】 本発明の半導体装置の断面図。
- 【図 2 5】 本発明の半導体装置の断面図。
- 【図 2 6】 本発明の半導体装置の断面図。
- 【図 2 7】 本発明を適用可能な電子機器の一例の図。
- 【図 2 8】 本発明を適用可能な電子機器の一例の図。

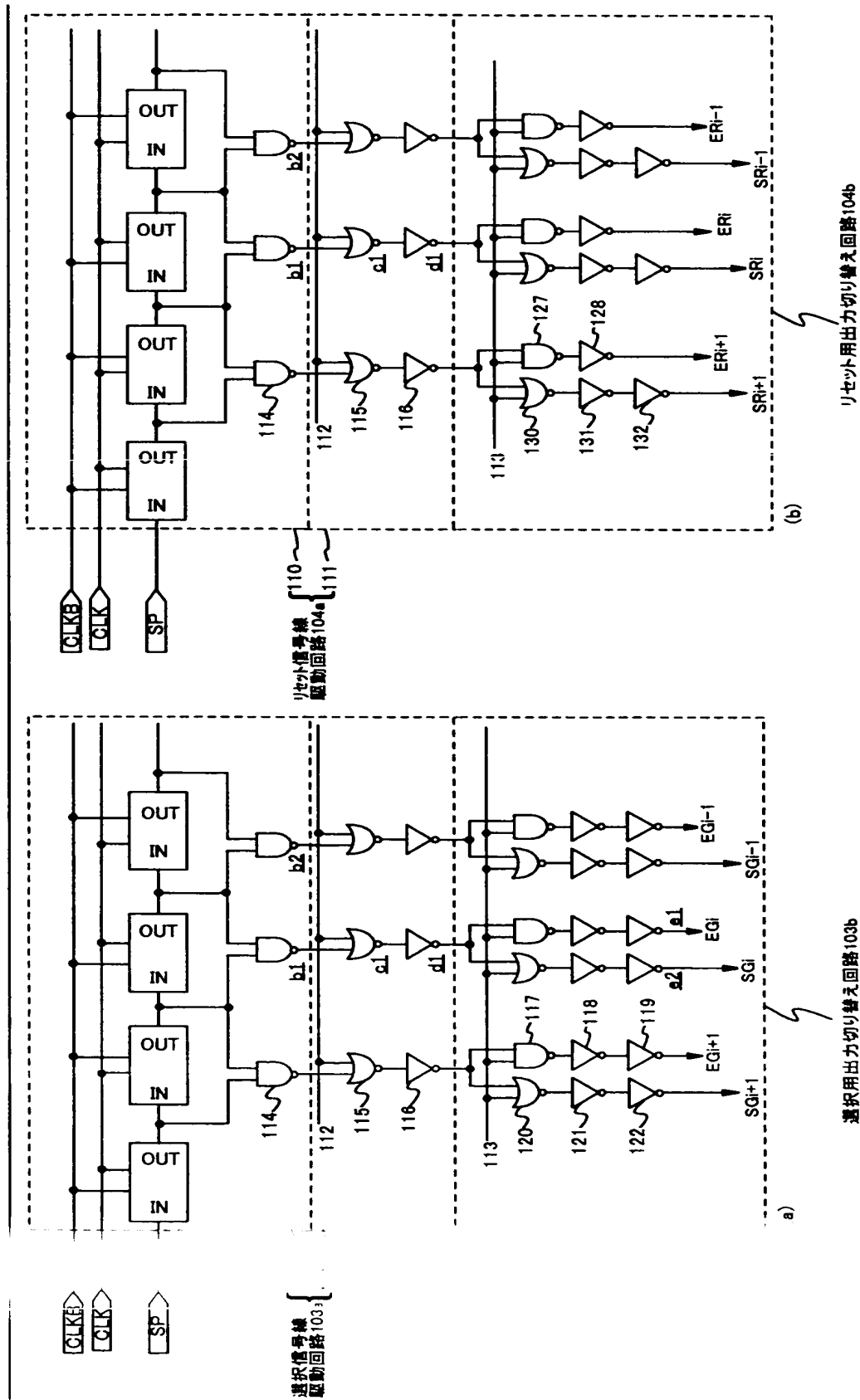
【書類名】

図面

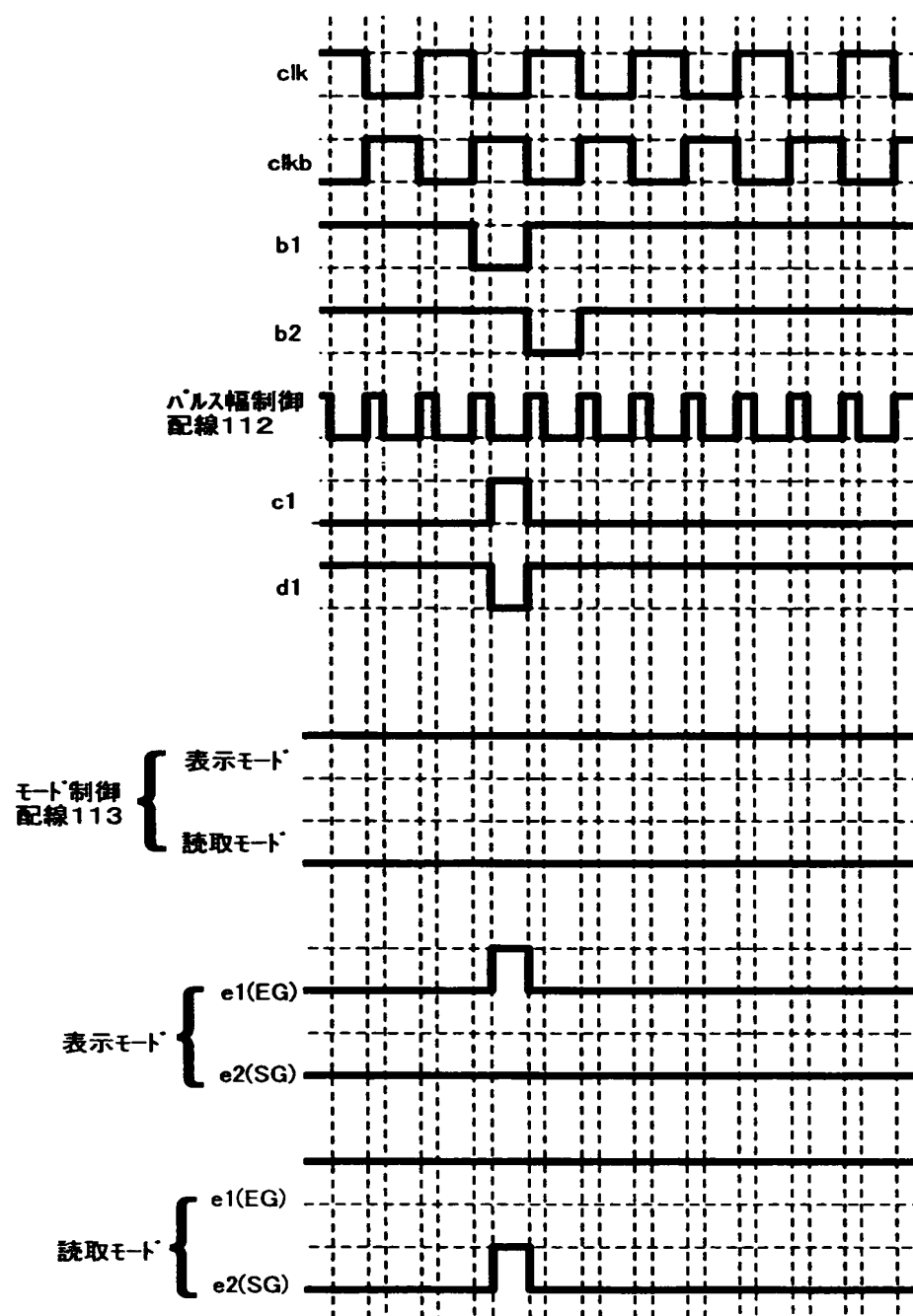
【図 1】



【図 2】



【図 3】



【図 4】

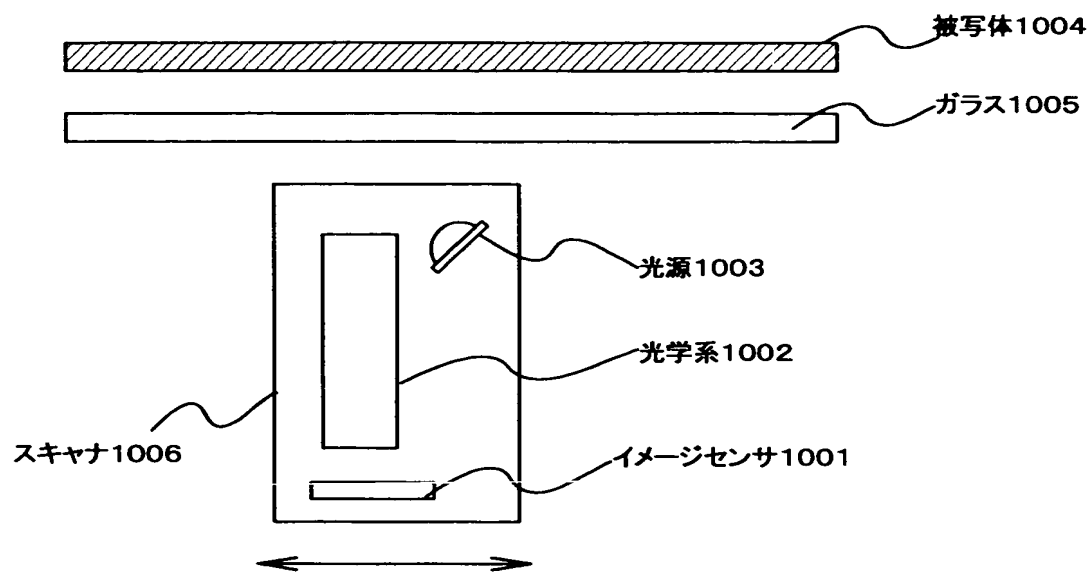
(A)

		表示モード	被写体をモノクロで 読み取る場合の 読み取りモード
発光素子部	ソース信号線駆動回路	パルス信号	オン信号
	ビデオ信号	パルス信号	オン信号
	選択信号線(EG)	パルス信号	オン信号
	リセット信号線(ER)	パルス信号	オフ信号
センサ部	センサ用信号出力線(SS)		パルス信号
	センサ選択信号線(SG)	オフ信号	パルス信号
	センサリセット信号線(SR)	オフ信号	パルス信号

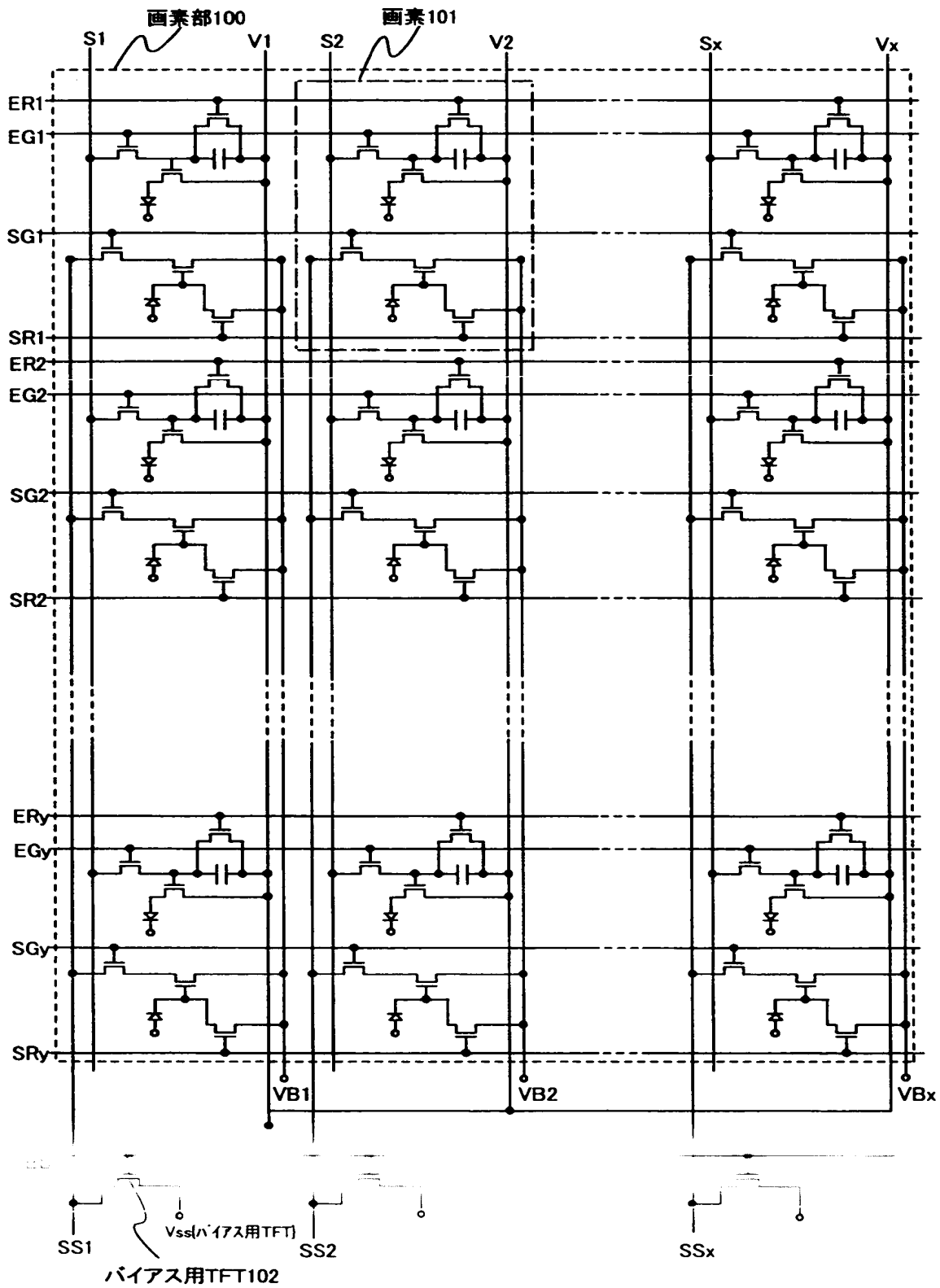
(B)

		表示モード	被写体をカラーで読み取る場合の 読み取りモード		
			R	G	B
発光素子部	ソース信号線駆動回路	パルス信号	オン信号	オン信号	オン信号
	ビデオ信号(R)	パルス信号	オン信号	オフ信号	オフ信号
	ビデオ信号(G)	パルス信号	オフ信号	オン信号	オフ信号
	ビデオ信号(B)	パルス信号	オフ信号	オフ信号	オン信号
	選択信号線(EG)	パルス信号	オン信号	オン信号	オン信号
	リセット信号線(ER)	パルス信号	オフ信号	オフ信号	オフ信号
センサ部	センサ用信号出力線(SS)		パルス信号	パルス信号	パルス信号
	センサ選択信号線(SG)	オフ信号	パルス信号	パルス信号	パルス信号
	センサリセット信号線(SR)	オフ信号	パルス信号	パルス信号	パルス信号

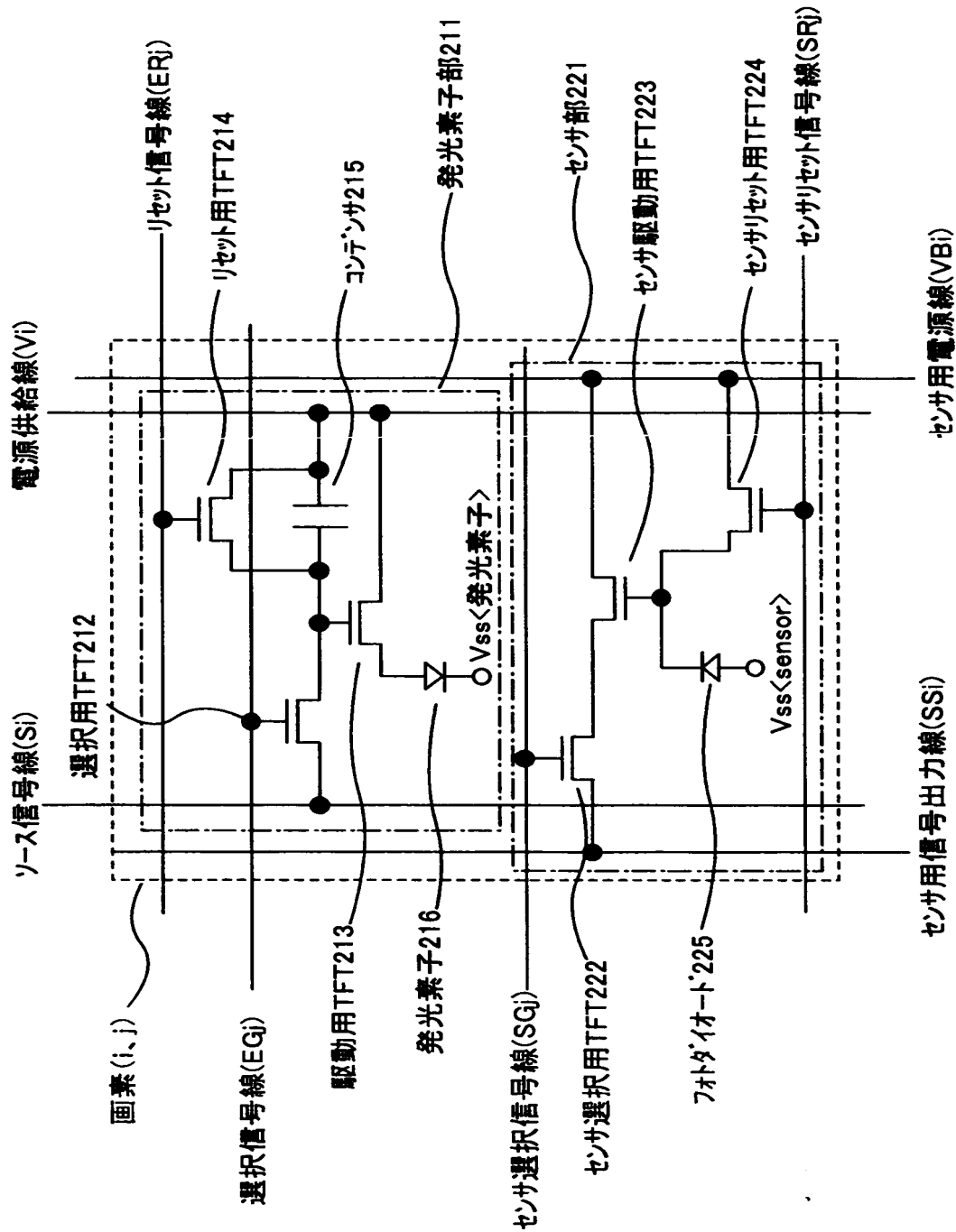
【図 5】



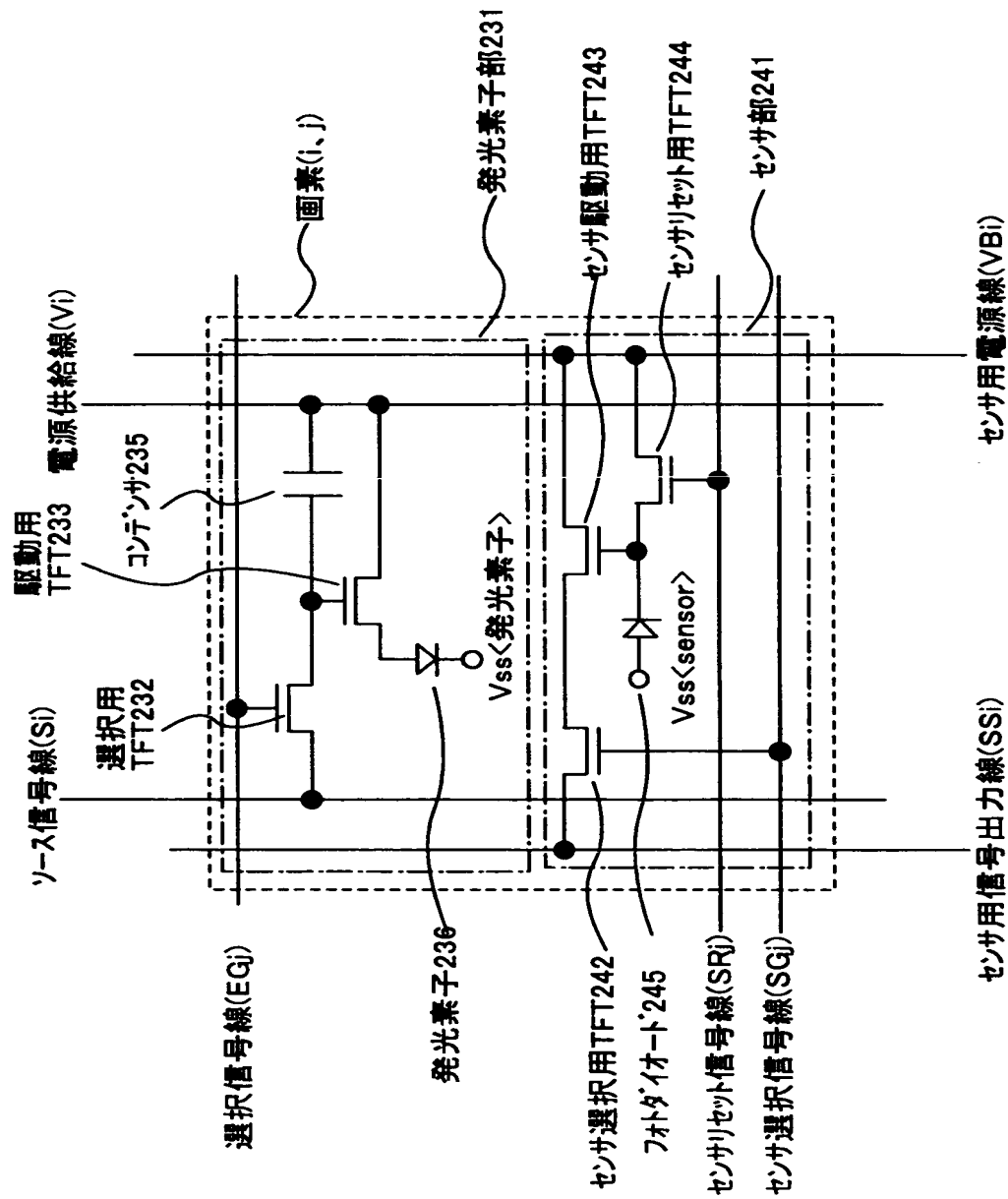
【図 6】



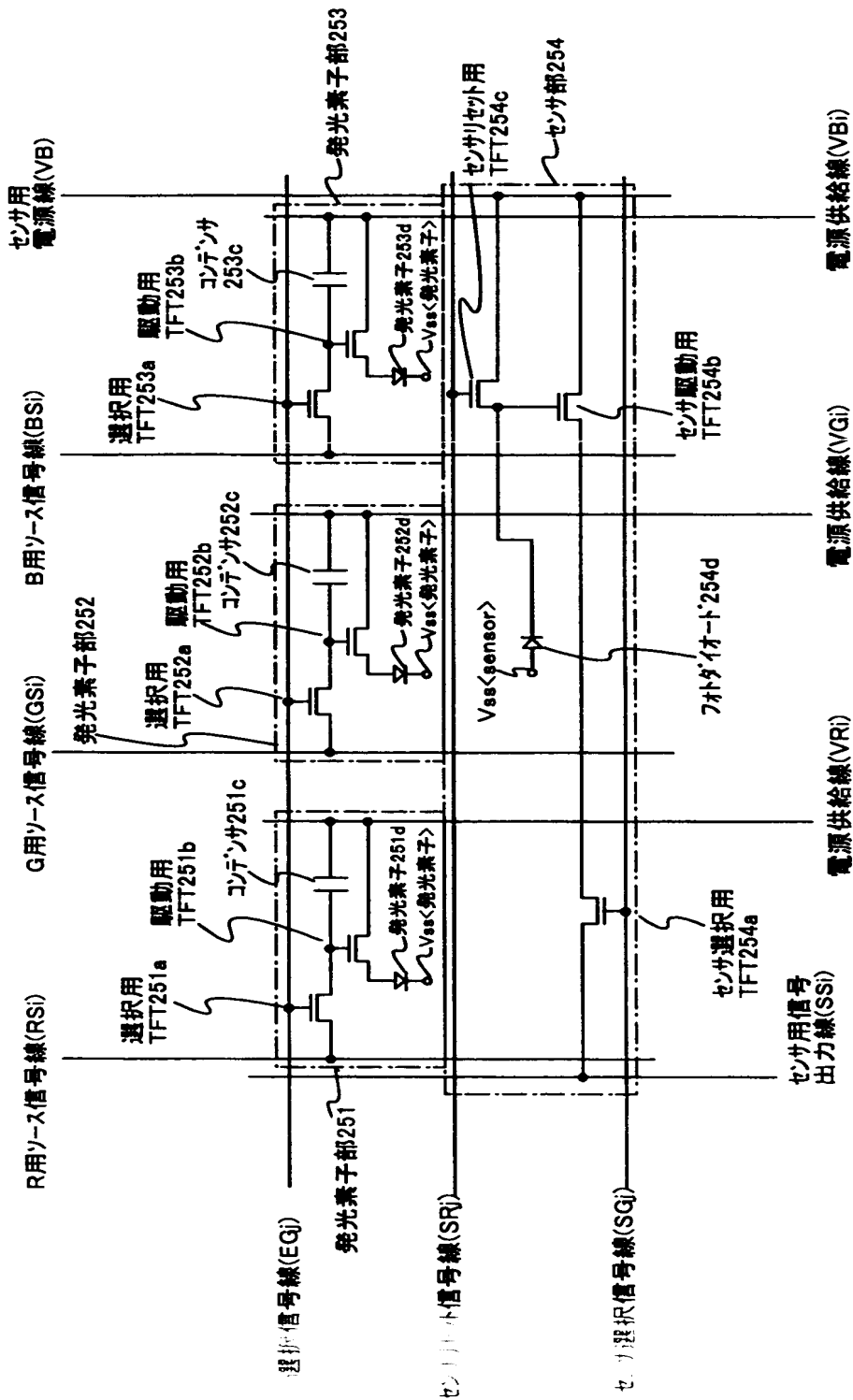
【図 7】



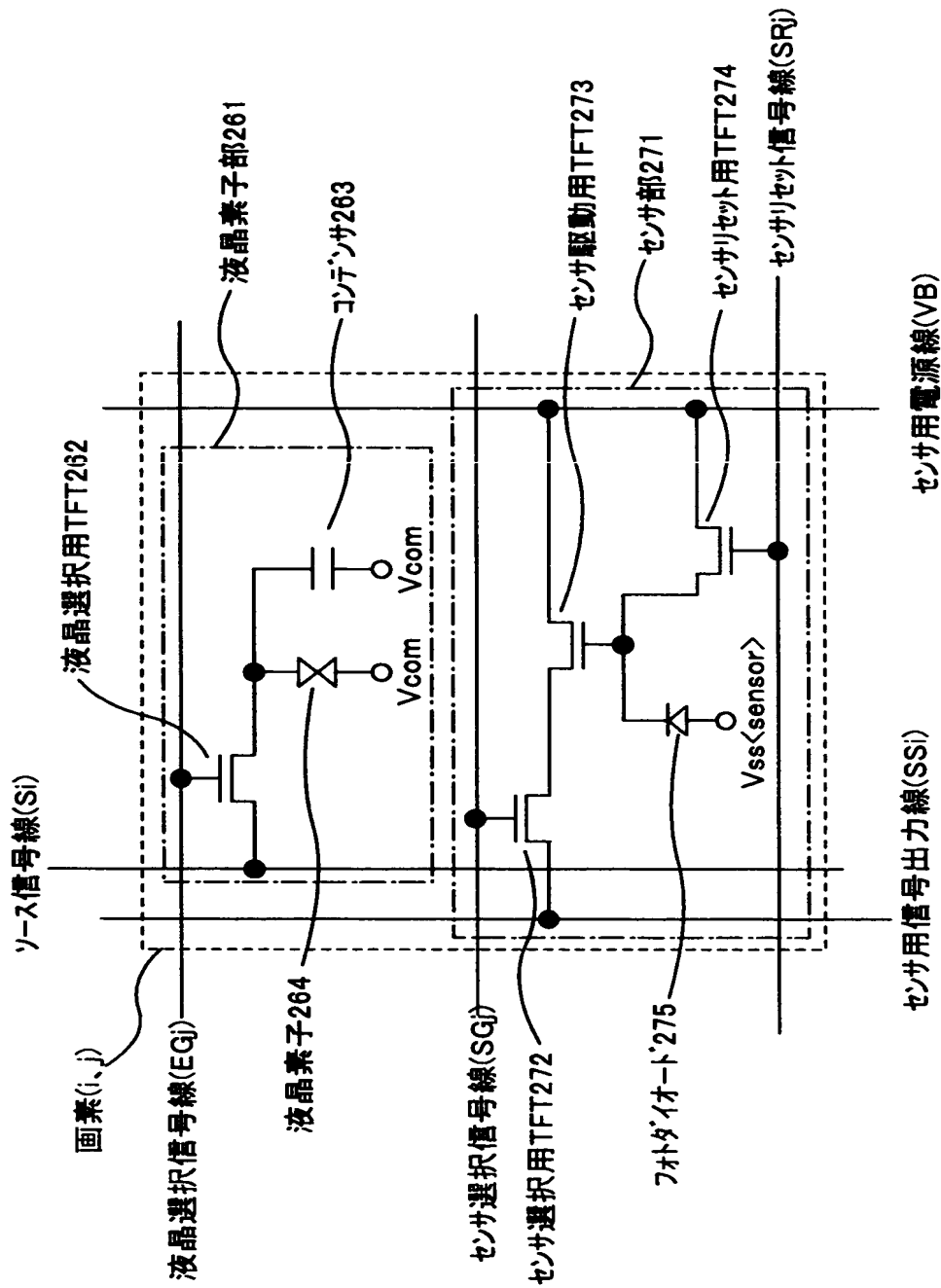
【図 8】



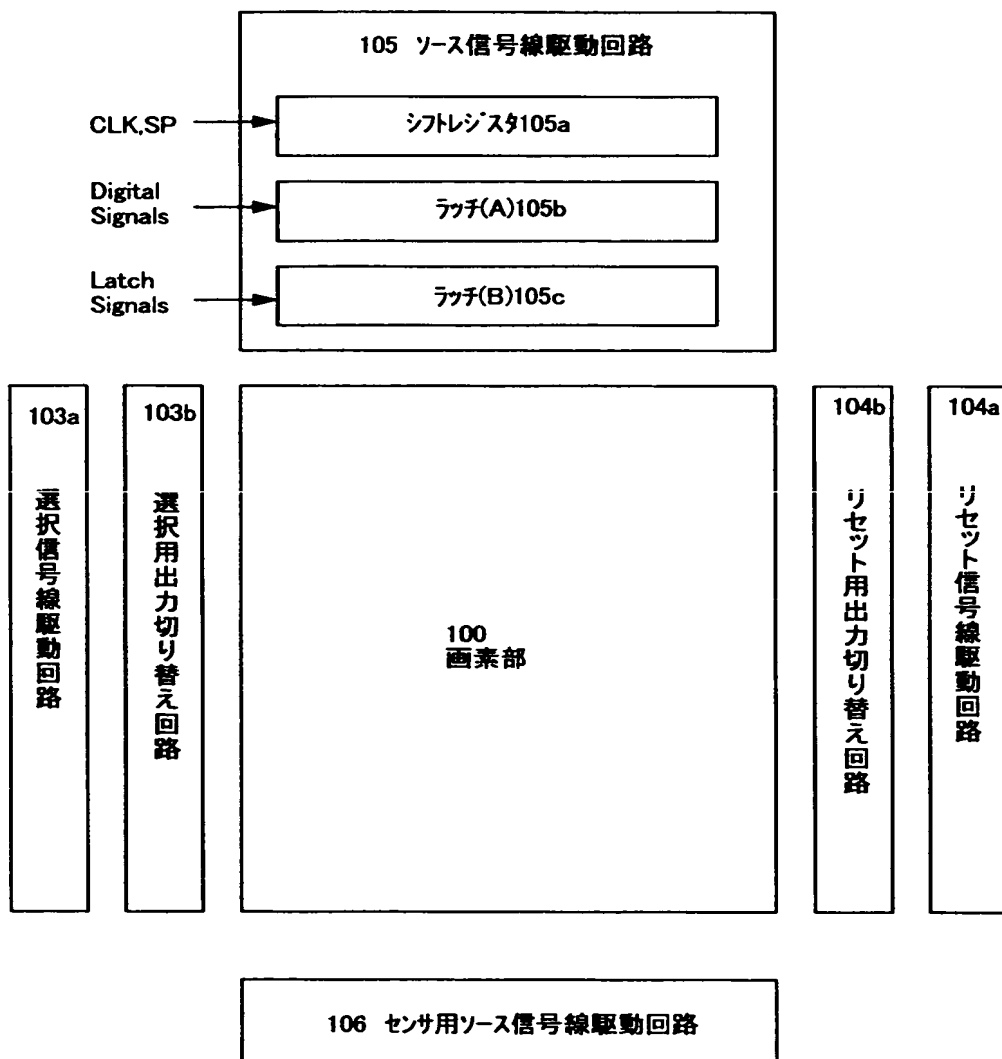
【図9】



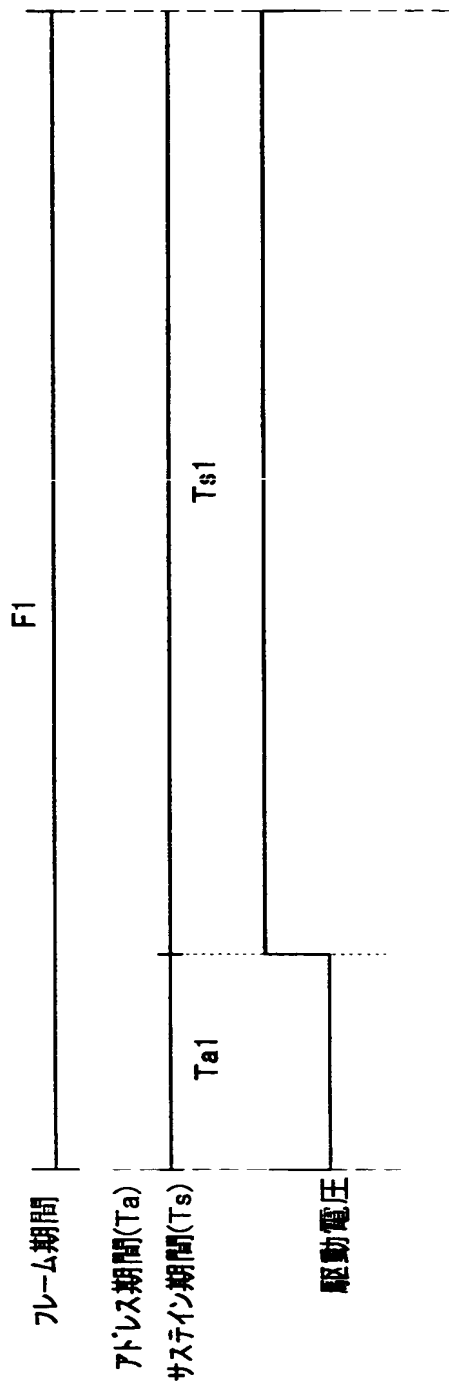
【図10】



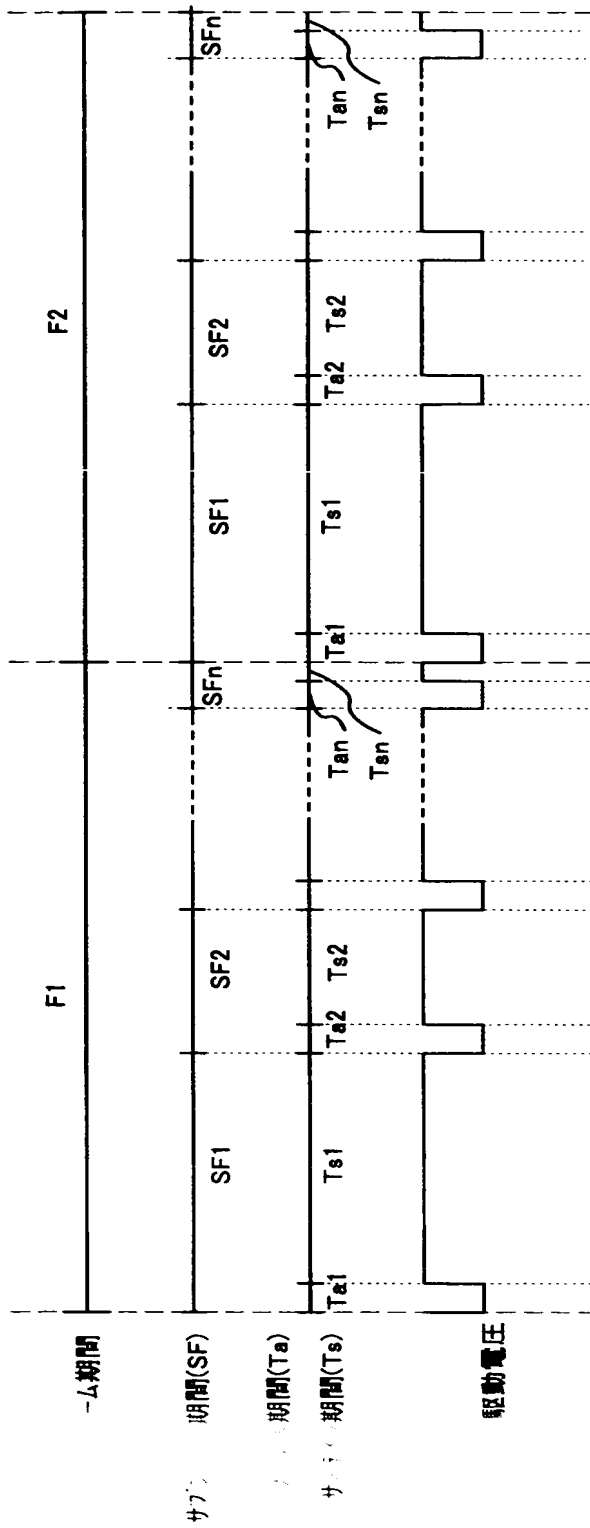
【図 1 1】



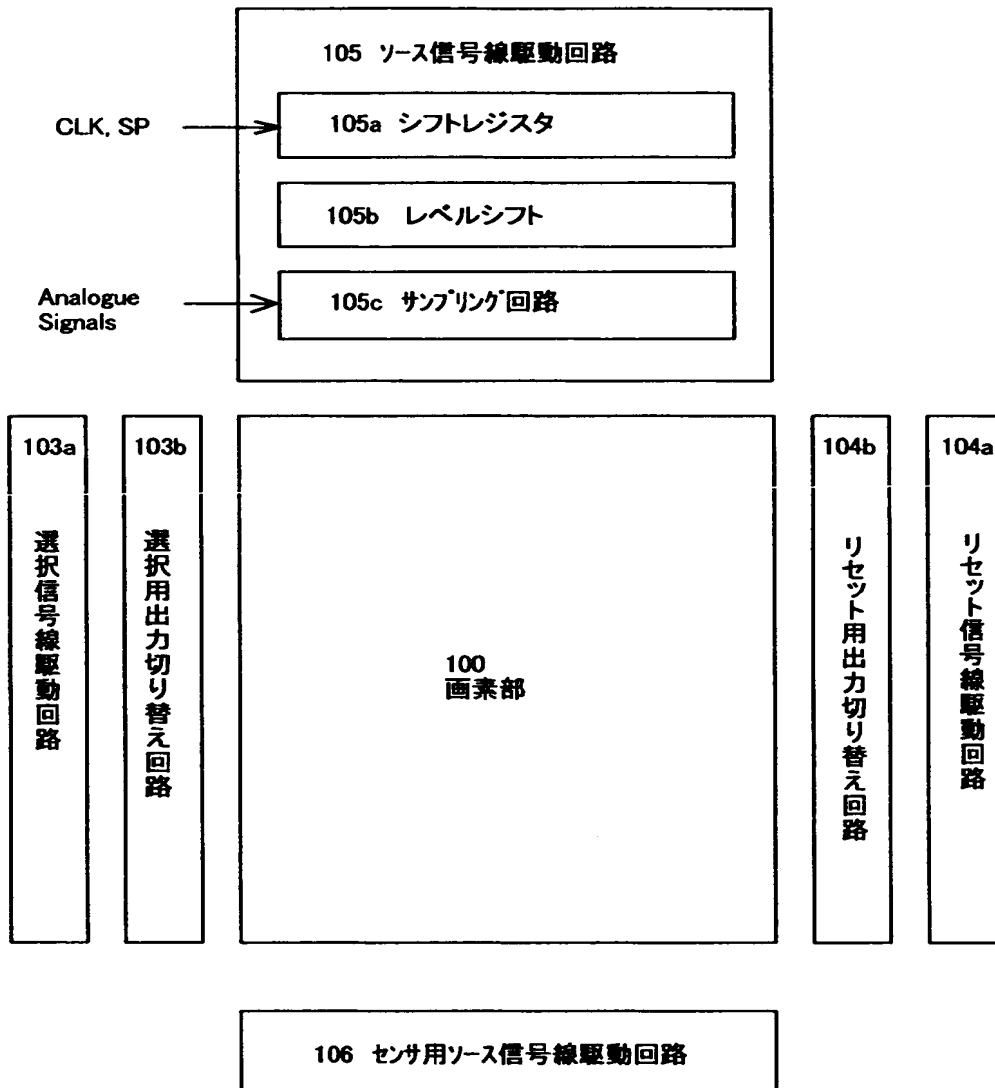
【図 1 2】



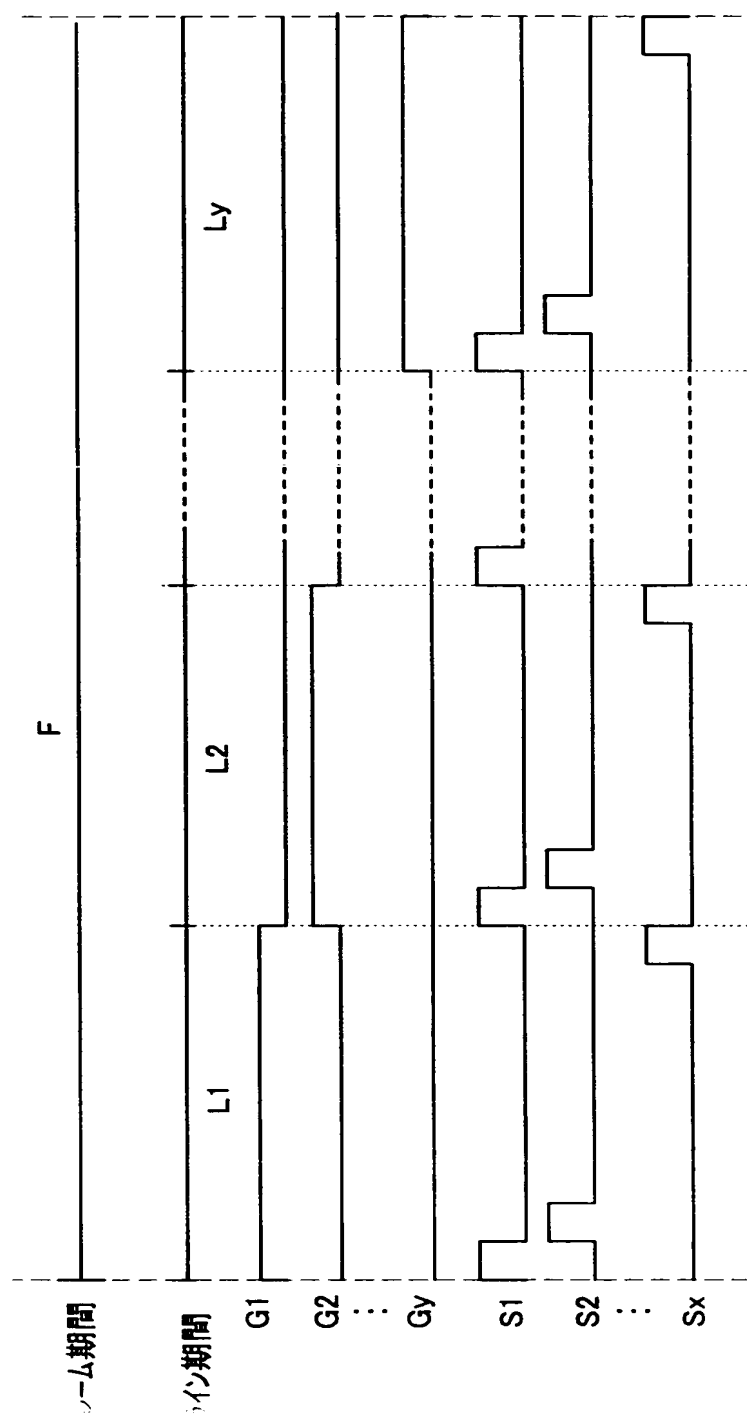
【図 13】



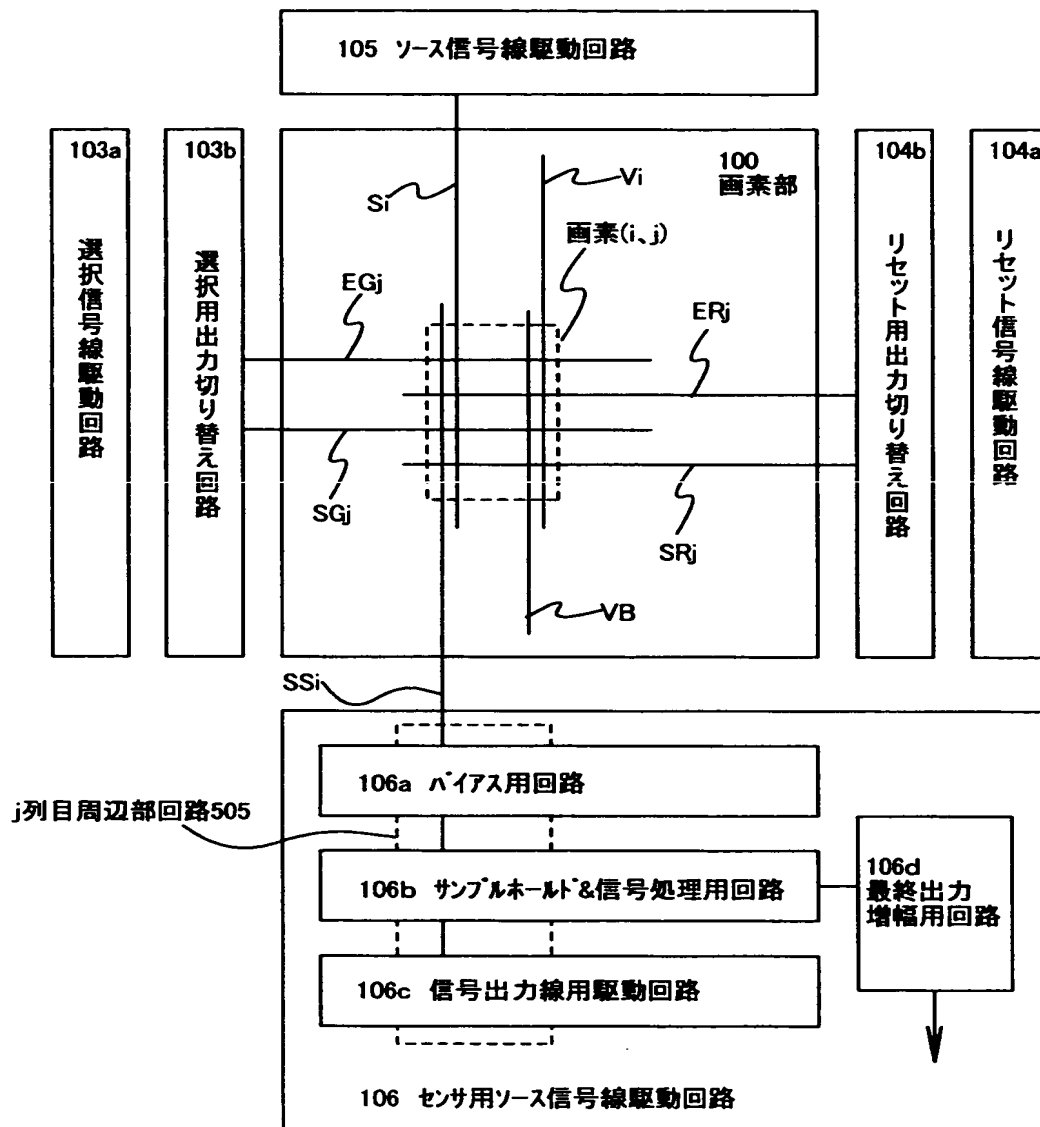
【図 1 4】



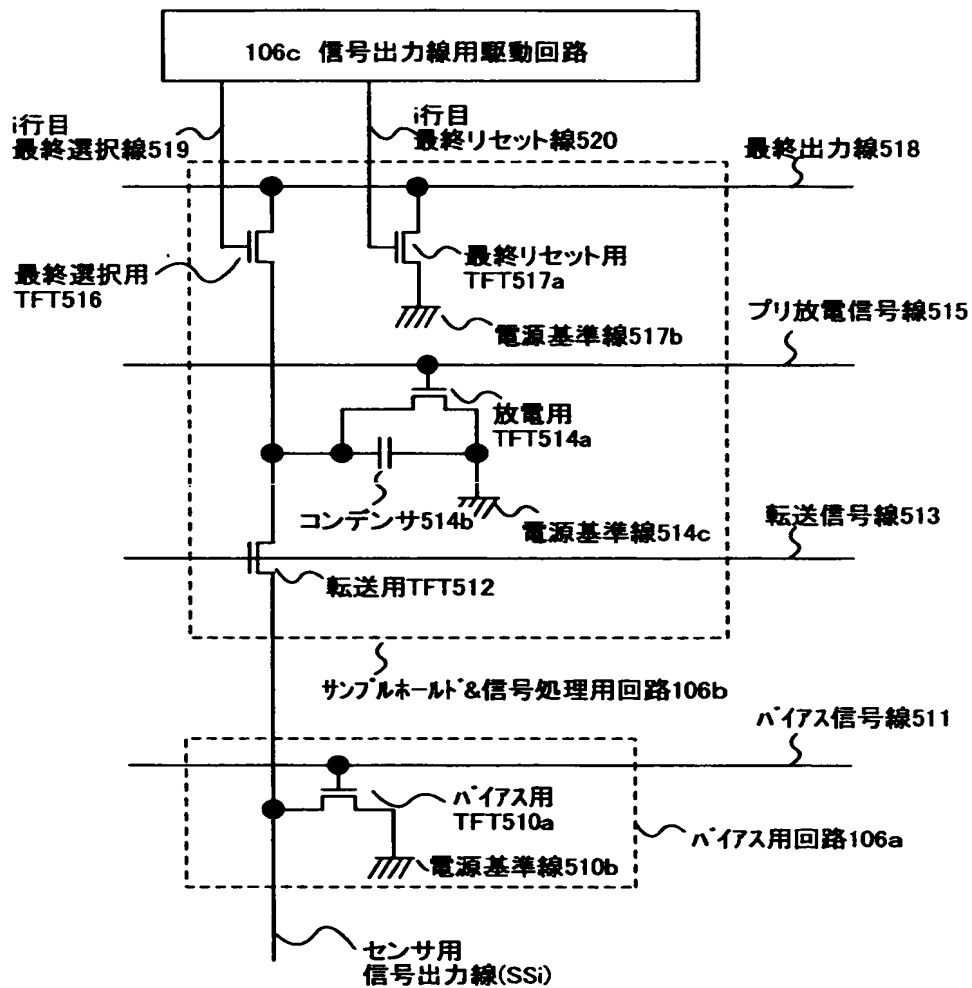
【図 1 5】



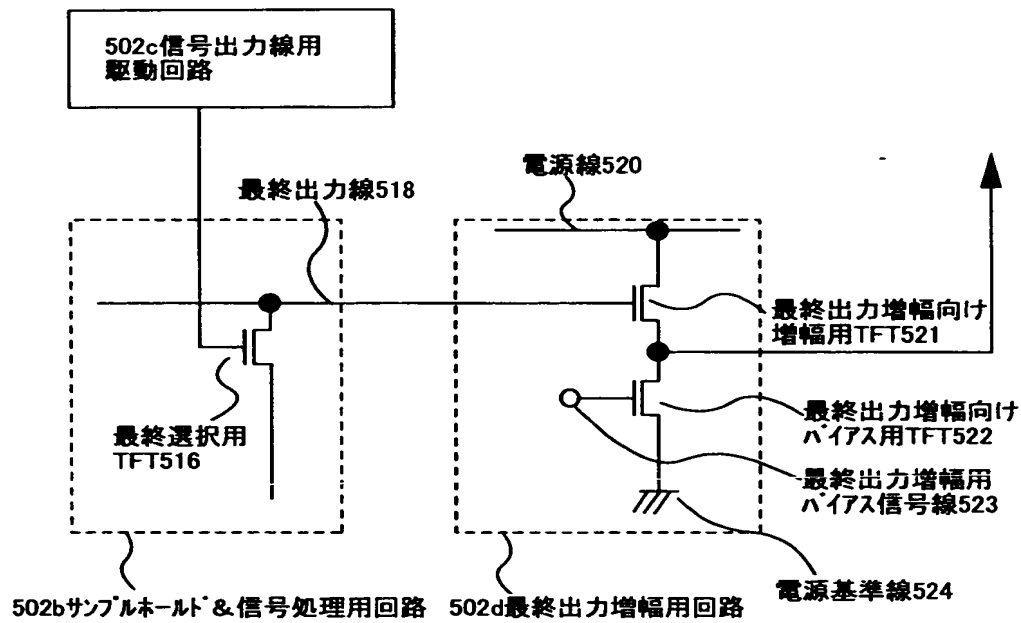
【図 16】



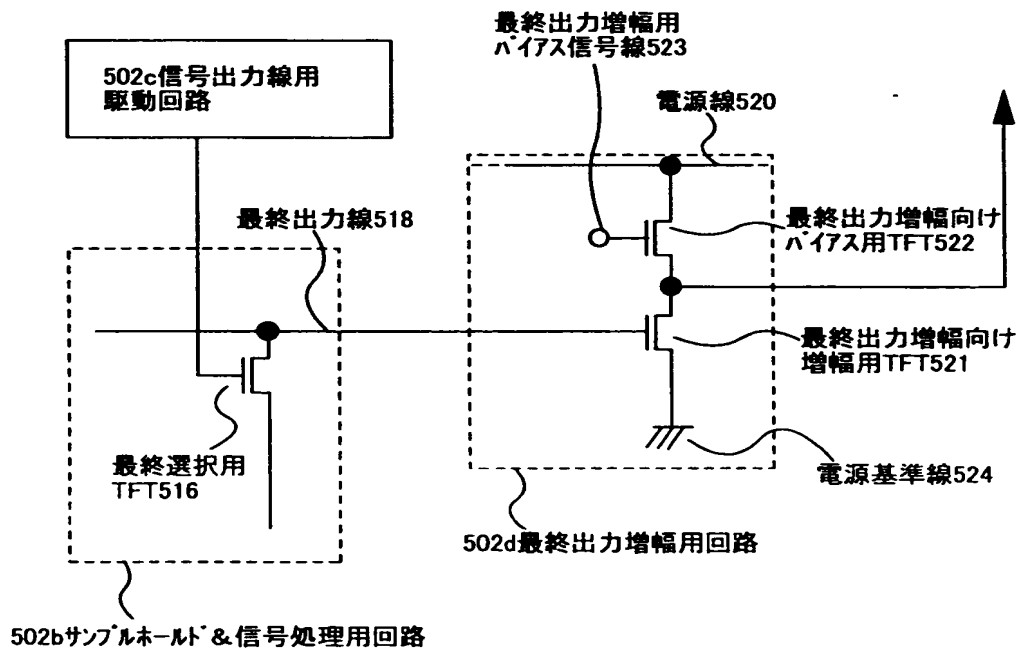
【図 17】



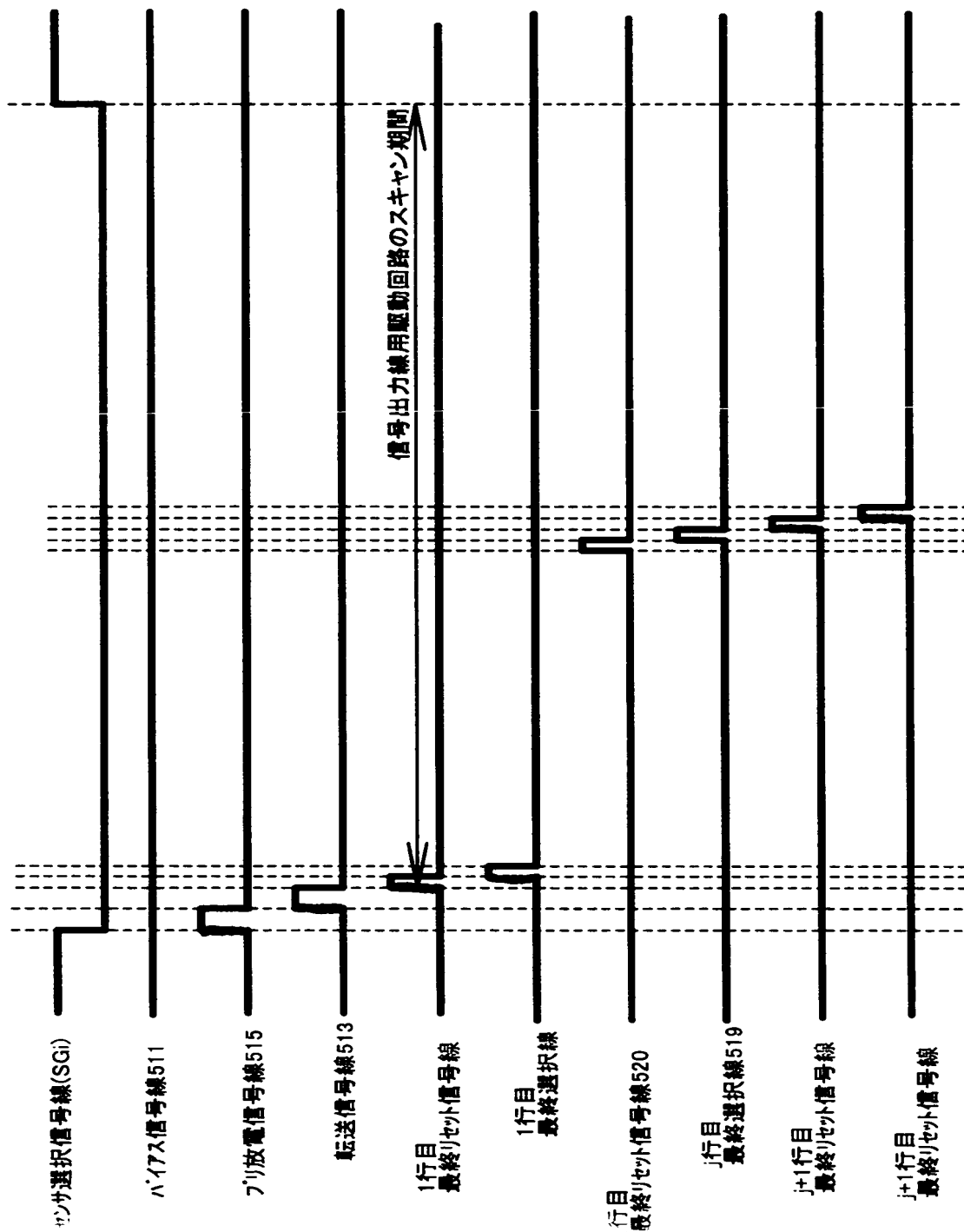
【図 1 8】



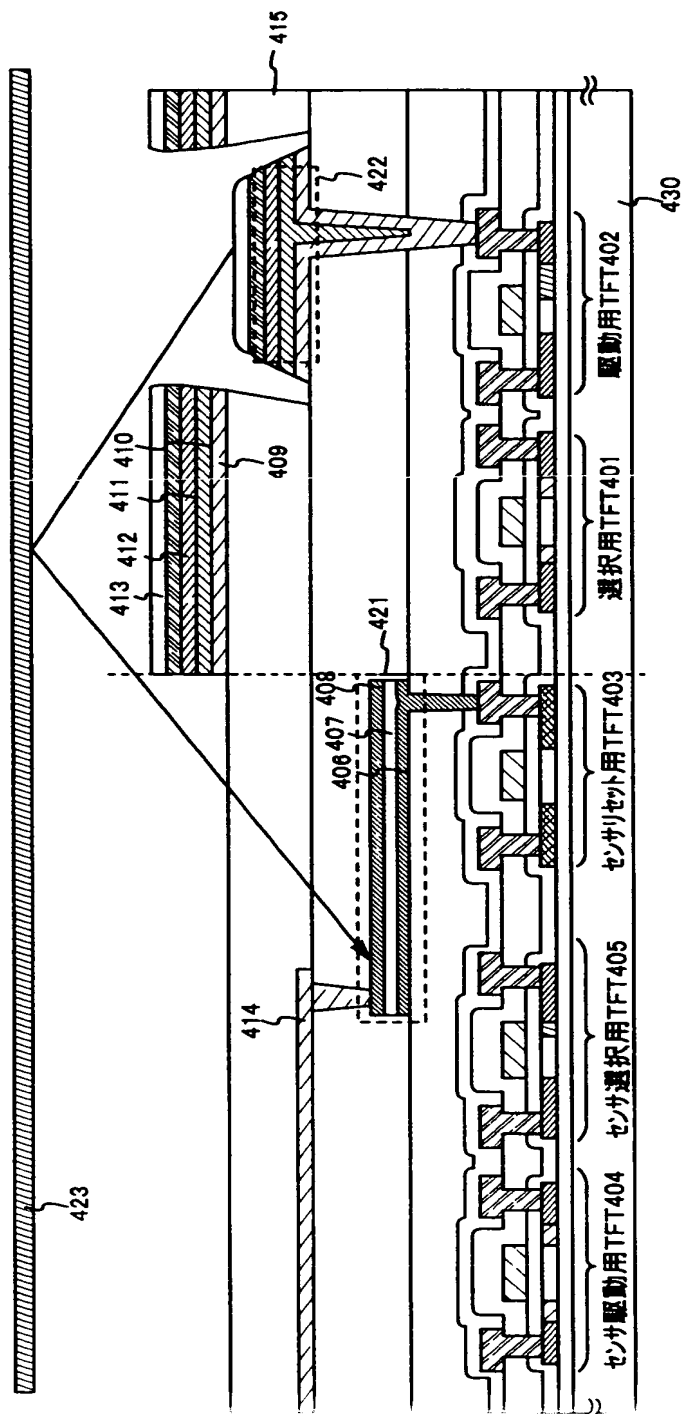
【図 1 9】

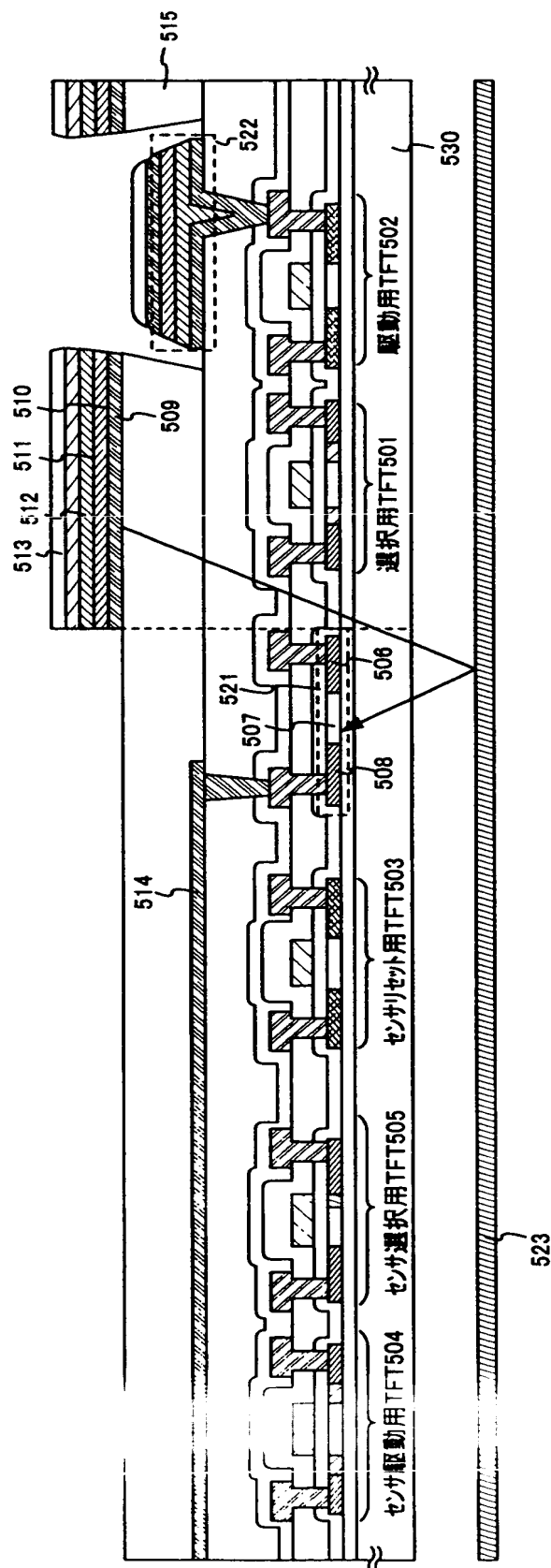


【図 20】

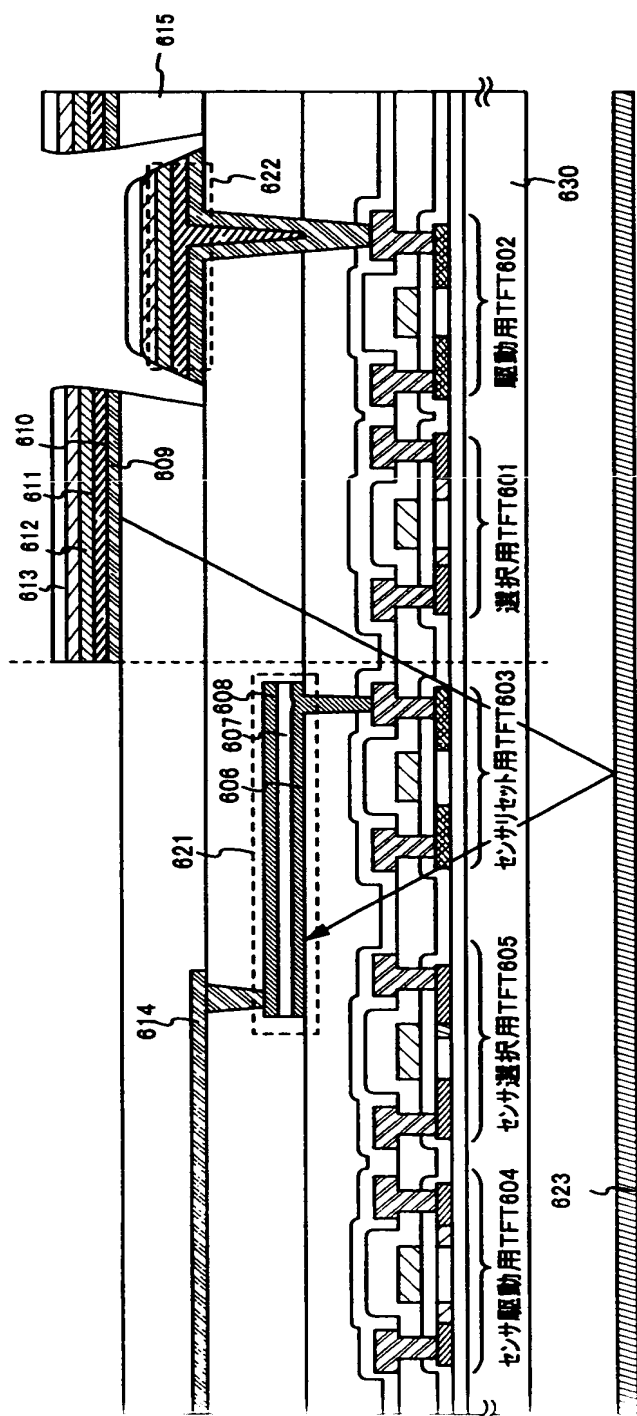


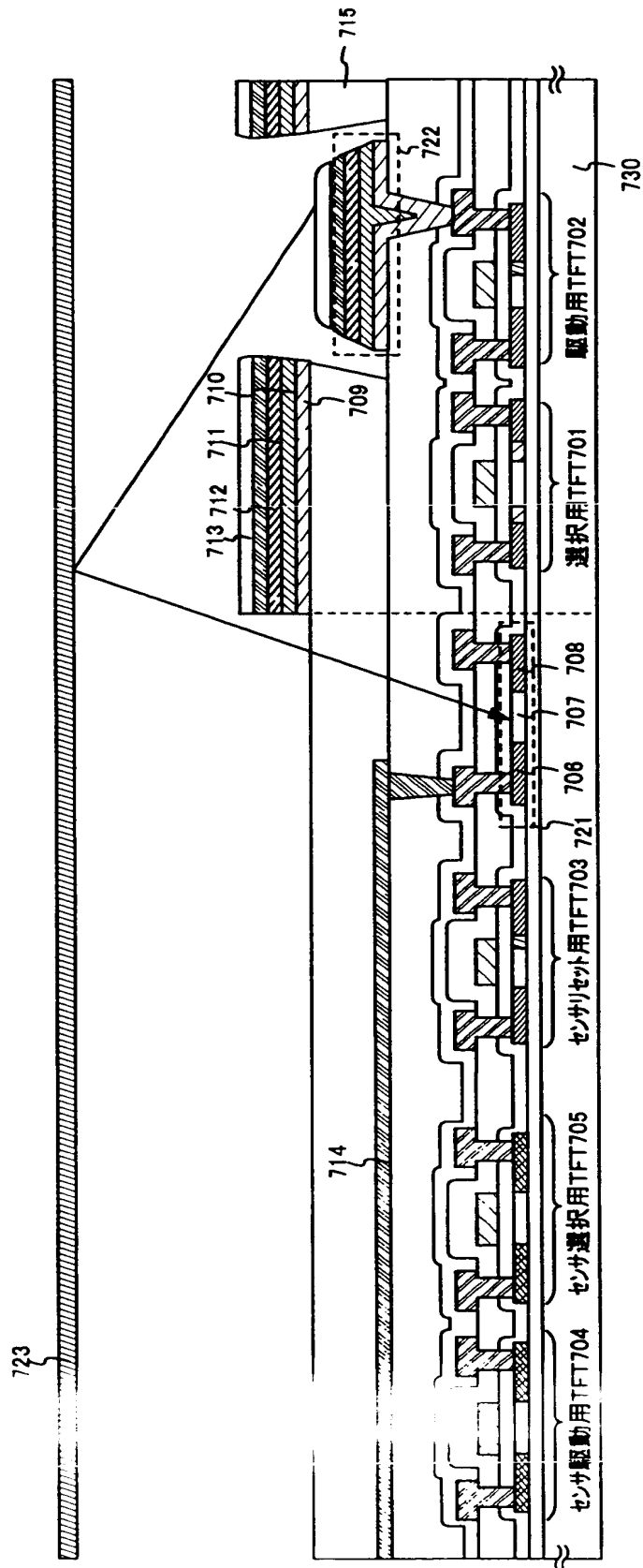
【図 21】



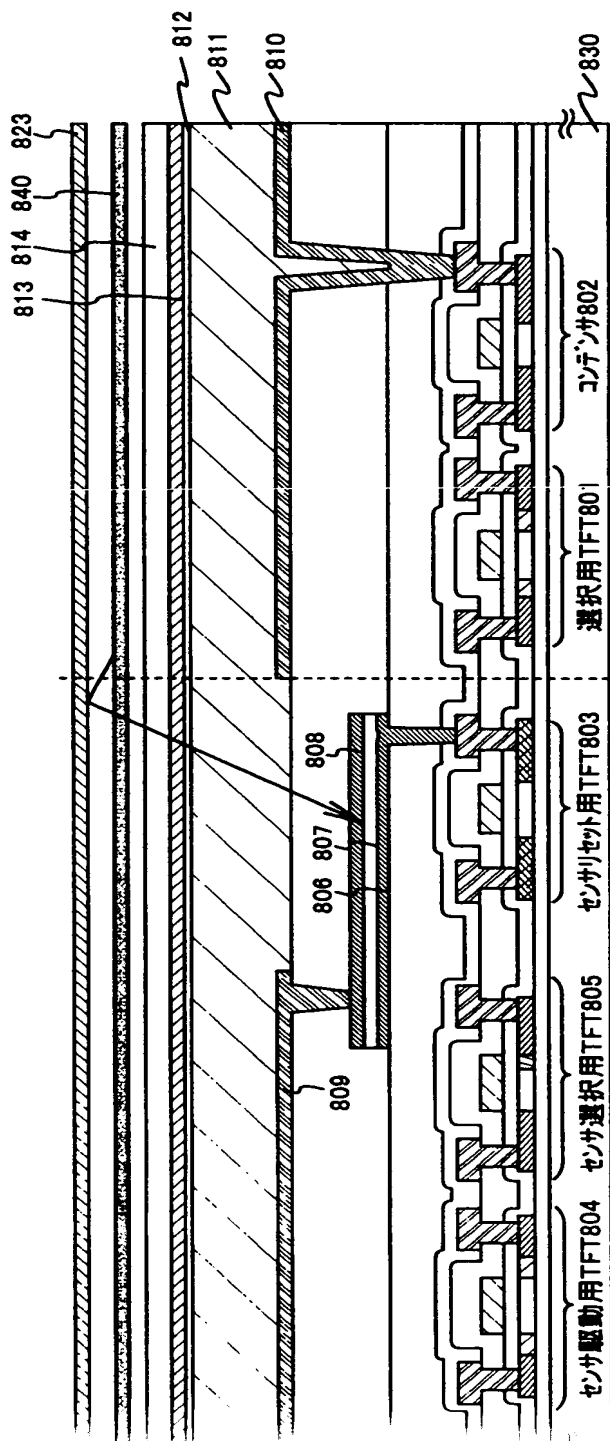


【図 23】

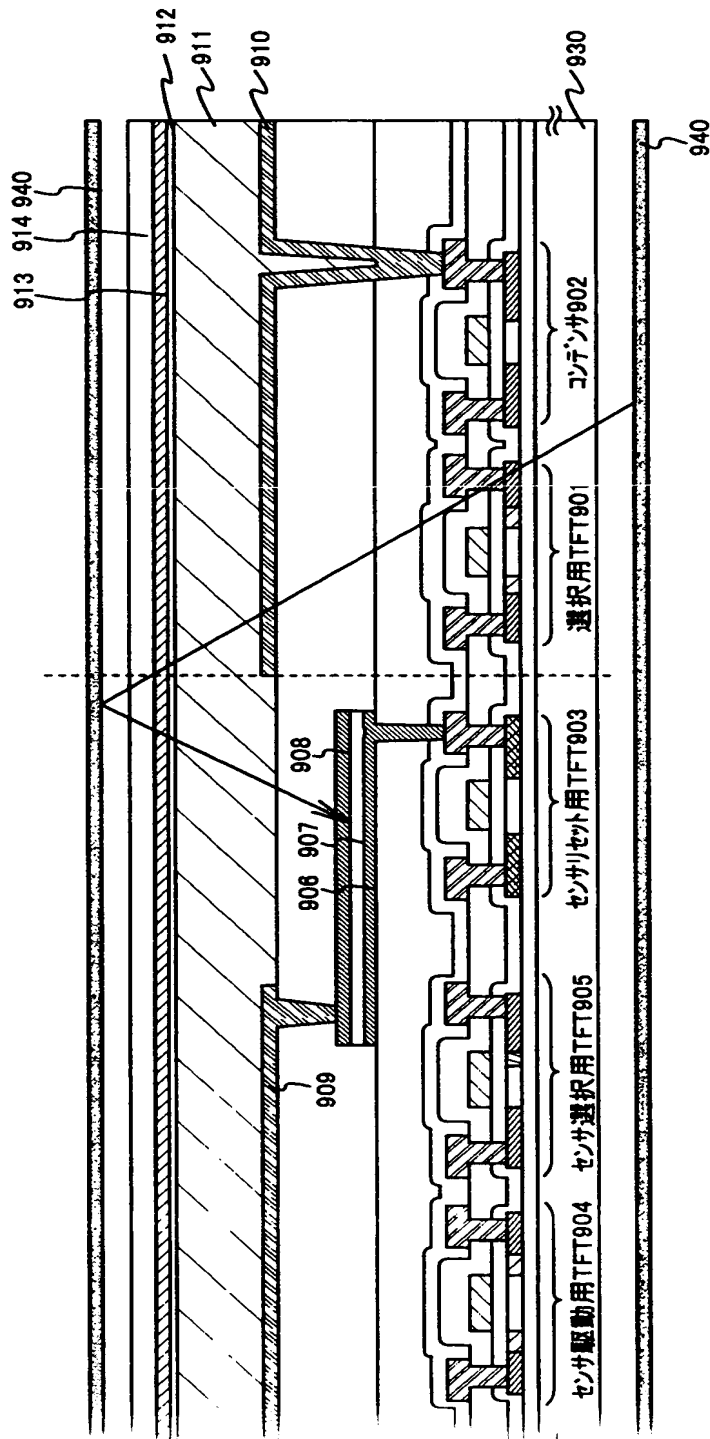




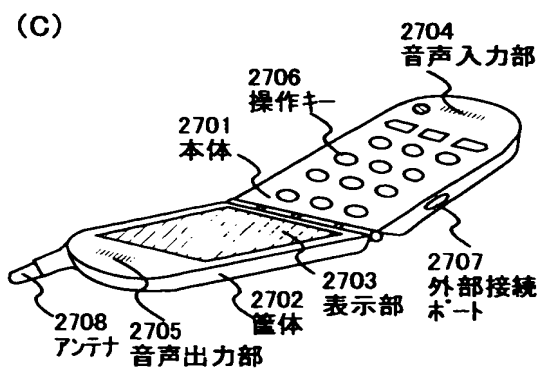
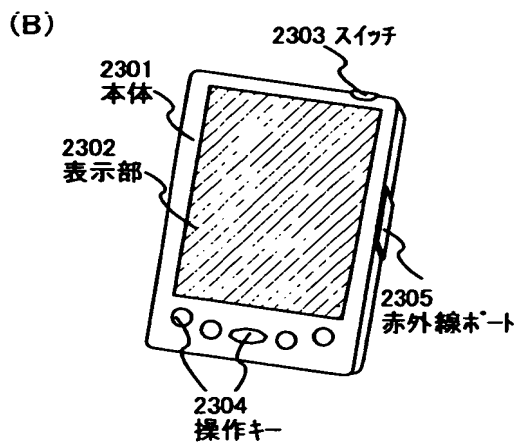
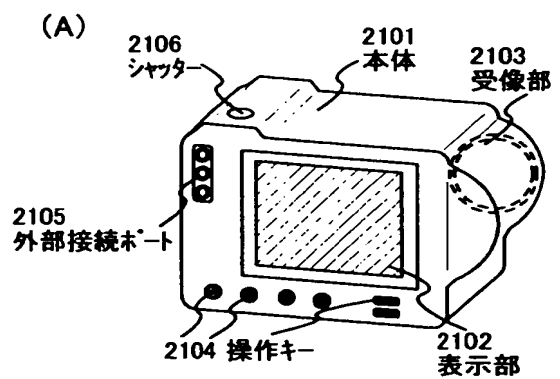
【図 25】



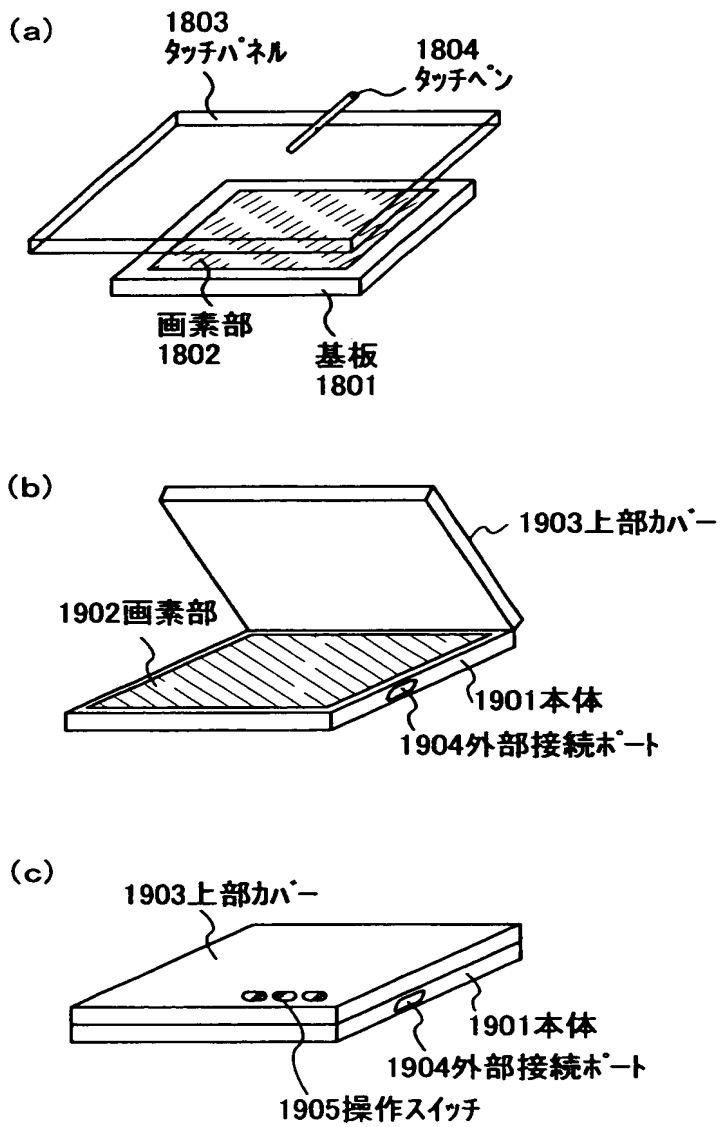
【図 26】



【図 2 7】



【図 2 8】



【書類名】 要約書

【要約】

【課題】 小型化、薄型化を実現した半導体装置を提供する。

【解決手段】 本発明の半導体装置が有する画素は、光源としてのE L素子と、光電変換素子としてのフォトダイオードとをそれぞれ有しており、E L素子とフォトダイオードの動作をT F Tで制御している。また、駆動回路に出力切り替え回路を用いることにより、1つの信号線駆動回路で、2本の信号線を制御することができる。そのため、半導体装置の駆動回路の占有面積を小さくし、小型化を実現することができる。

【選択図】 なし

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所